

Markus Norén

Flip-Chip-Technologie auf keramische Substrate

Werkstofftechnik Aktuell

Schriftenreihe aus dem Fakultätsübergreifenden Institut für
Werkstofftechnik (IWT) an der TU Ilmenau

Herausgegeben von Univ.-Prof. Dr. rer. nat. Peter Schaaf
und Univ.-Prof. Dr.-Ing. Edda Rädlein

Band 4

Die vorliegende Schriftenreihe "Werkstofftechnik Aktuell" berichtet über aktuelle Forschungsergebnisse aus dem Institut für Werkstofftechnik (IWT) der TU Ilmenau. Die ausgewählten Texte spiegeln die breit gefächerten materialwissenschaftlichen und werkstofftechnischen Themen, die am IWT bearbeitet werden, wieder. Für weitere Informationen und Rückfragen können Sie sich gerne an das Institut (www.tu-ilmenau.de/wt) wenden oder das Institut persönlich besuchen. Über Ihre Anregungen, konstruktive Kritik und Ihre Kontaktaufnahme würden wir uns sehr freuen. Das IWT steht wissenschaftlichen Zusammenarbeiten stets aufgeschlossen gegenüber.

Flip-Chip-Technologie auf keramische Substrate

Von Markus Norén



Universitätsverlag Ilmenau
2010

Impressum

Bibliografische Information der Deutschen Nationalbibliothek

Die Deutsche Nationalbibliothek verzeichnet diese Publikation in der Deutschen Nationalbibliografie; detaillierte bibliografische Angaben sind im Internet über <http://dnb.d-nb.de> abrufbar.

Diese Arbeit hat der Fakultät für Elektrotechnik und Informationstechnik der Technischen Universität Ilmenau als Dissertation vorgelegen.

Tag der Einreichung: 11. Juni 2009

1. Gutachter: Univ.-Prof. Dr.-Ing. Jens Müller
(Technische Universität Ilmenau)

2. Gutachter: Univ.-Prof. Dr.-Ing. habil. emeritus Heiko Thust
(Technische Universität Ilmenau)

3. Gutachter: Prof. Dr. Gregor Feiertag
(Hochschule München)

Tag der Verteidigung: 17. Dezember 2009

Technische Universität Ilmenau/Universitätsbibliothek

Universitätsverlag Ilmenau

Postfach 10 05 65

98684 Ilmenau

www.tu-ilmenau.de/universitaetsverlag

Herstellung und Auslieferung

Verlagshaus Monsenstein und Vannerdat OHG

Am Hawerkamp 31

48155 Münster

www.mv-verlag.de

ISSN 1868-6532 (Druckausgabe)

ISBN 978-3-939473-91-6 (Druckausgabe)

urn:nbn:de:gbv:ilm1-2009000501

BAZINGA

"Once again, you've fallen for one of my classic pranks!"

Sheldon Cooper, PhD

Inhaltsverzeichnis

Inhaltsverzeichnis	7
1. Einleitung	11
2. LTCC-Module	15
2.1 Die LTCC-Technologie	15
2.2 Der LTCC Herstellungsprozess	18
2.3 System in Package	22
2.4 Aufbau und Verbindungstechnik	23
2.5 Die Flip-Chip-Technologie	25
2.5.1 Methoden der Bump-Herstellung	25
2.5.2 Flip-Chip-Montageprozess	28
2.6 Beispielmodul	31
2.7 Anforderungsprofil für mobile Handgeräte	32
3. Thermisches Management für LTCC-Module	35
3.1 Grundlagen	35
3.1.1 Einführung in die Wärmeübertragung	35
3.1.2 Thermisches Ersatzschaltbild	41
3.1.3 Reihen- und Parallelschaltung von Wärmewiderständen	42
3.1.4 Rolle der Halbleiterübergangstemperatur für die Lebensdauer	43
3.2 Wärmemanagement auf Schaltungsträgern	44
3.2.1 Aktive Methoden für das thermische Management	45
3.2.2 Passive Methoden für das thermische Management	46
3.3 Einfluss der Bestücktechnologie auf das Wärmemanagement	49
3.4 Ermittlung thermischer Materialeigenschaften	53
3.4.1 Die Laser Flash (LF)-Methode	53
3.4.2 Wiedemann-Franz-Gesetz	57

3.5	Messmethoden zur thermischen Modulcharakterisierung	58
3.5.1	Infrarot-Thermographie	58
3.5.2	Temperaturmessung über NTC-Messfühler	61
3.5.3	"On Chip"-Dioden-Messung	62
3.5.4	Messprinzip für die Charakterisierung des thermischen Testhalbleiters	64
3.5.5	Messprinzip für die Charakterisierung des Moduls	67
3.5.6	Messaufbau	68
3.5.7	Verifizierung des Messaufbaus	73
3.5.8	Ablauf der automatisierten Messung	80
3.6	Thermische FE-Simulation	81
3.6.1	Theorie	81
3.6.2	Einfluss des Modells auf Ergebnis und Rechenzeit	83
3.6.3	Einfluss des Netzes auf das Ergebnis	89
3.6.4	Einfluss von Materialparametern	96
3.7	Design und Herstellung in klassischer Aufbautechnologie	97
3.8	Thermische Simulation und Charakterisierung von konventionellen Flip-Chip-Packages	100
3.8.1	Einfluss der Substratdicke	101
3.8.2	Einfluss des Underfills	102
3.8.3	Einfluss des Bump-Materials	103
3.8.4	Einfluss des Designs	104
3.8.5	Einfluss von Fertigungslosen	105
3.9	Design und Herstellung der Proben für verbessertes thermisches Management	107
3.9.1	LTCC-Flip-Chip-Modul mit aufgelötetem Wärmeableitblech	107

3.9.2	FC CSSP LTCC Package	109
3.9.3	FC Cavity Up LTCC Heatspreader Package	110
3.9.4	FC Cavity Down LTCC CSSP Package	113
3.10	Thermische Simulation und Charakterisierung von Proben mit verbessertem thermischen Management	115
3.10.1	LTCC Flip Chip-Modul mit aufgelötetem Wärmeableitblech	115
3.10.2	FC CSSP LTCC Package	116
3.10.3	FC Cavity Up LTCC Heatspreader Package	118
3.10.4	FC Cavity Down LTCC CSSP Package	120
3.11	Zusammenfassung	123
4.	Anwendungsbezogene Zuverlässigkeitsbetrachtungen für LTCC-Flip-Chip-Module	125
4.1	Grundlagen	125
4.1.1	Daisy Chain-Messung	126
4.1.2	4-Pol-Messung	126
4.1.3	Weibull-Verteilung	127
4.1.4	FE-Simulationen für thermomechanische Belastungen	129
4.2	Methoden der Bewertung	130
4.2.1	Temperaturwechselbelastung	130
4.2.2	Schertest	132
4.3	Scherfestigkeit von Flip Chip-Verbindungen	136
4.3.1	Untersuchungen am Einzel-Bump	137
4.3.2	Scherfestigkeit von Einzel-Bumps nach Mehrfach-Reflow	141
4.3.3	Untersuchungen am aufgelöteten Modul	142
4.4	Temperaturwechseluntersuchungen	143
4.4.1	Beschreibung des Testmoduls und der Testumgebung	143

4.4.2	Einfluss des Underfills	147
4.4.3	Langsame Temperaturwechsel-Belastung	147
4.4.3.1	Einfluss der Halbleitergröße	147
4.4.3.2	Einfluss des Bump-Materials	150
4.4.4	Rasche Temperaturwechsel-Belastung	153
4.4.4.1	Einfluss der Halbleitergröße	153
4.4.4.2	Einfluss des Bump-Materials	155
4.4.5	Vergleich von raschen und langsamen Temperaturwechseln	157
4.4.6	EDX-Untersuchungen am SnAgCu-Bump	158
4.5	Zusammenfassung	164
5.	Zusammenfassung und Ausblick	167
	Abkürzungsverzeichnis	169
	Literaturverzeichnis	176
	Anhang: Ergebnisse der Laserflash Analyse	184

1. Einleitung

Der Markt für mobile Endgeräte mit eingebauten drahtlosen Kommunikationsfähigkeiten entwickelt sich rasant. Als Beispiel kann die drahtlose Datenkommunikation mittels WLAN (Wireless Local Area Network) genannt werden. Hier wird ein Wachstum der weltweit verkauften Einheiten von rund 50% pro Jahr für 2007 bis 2009 erwartet [KUT_2006]. Ein weiterer Markt mit Potential für LTCC (Low Temperature Cofired Ceramics) und Flip-Chip sind die LED-Anwendungen (Light Emitting Diode). Zwischen 2004 und 2010 wird eine jährliche Steigerung der verkauften Stückzahlen um 19,4% prognostiziert. Bisher wurde meist COB-Technologie (Chip on Board) verwendet, aber es sind bereits erste kommerzielle Produkte in Flip-Chip-Technologie auf dem Markt. Die Flip-Chip-Technologie bietet einige Vorteile gegenüber der COB-Technologie hinsichtlich der optischen Leistungsfähigkeit und des Platzbedarfs. Der Nachteil sind die thermischen Eigenschaften, die aber, wie in dieser Arbeit gezeigt wird, zu bewältigen sind [PRI_2008].

Die Möglichkeiten, die die LTCC-Technologie hinsichtlich der Integration von passiven Elementen wie Kondensatoren, Spulen und Widerständen bietet, ermöglicht eine signifikante Verkleinerung der Module und eine Reduktion der zu bestückenden Bauelemente. Die Reduktion der Anzahl bestückter Bauelemente senkt die Kosten für Bauteillogistik, Bestückung und Prüfung. Die LTCC-Technologie kann folglich erfolgreich eingesetzt werden, um einerseits die Kosten zu senken und andererseits die Gesamtlösung zu optimieren [KUT_2006] [PER_2008] [MÜL_1997].

Die SiP-Technologie (System in Package) integriert Systemteile, die bisher als Einzelbaugruppen realisiert waren, in ein Gesamtmodul. Dadurch entstehen Vorteile wie geringere Gesamtgröße, Reduzierung der zu bestückenden Bauelemente und geringere Gesamtkosten [TUM_2008].

Werden LTCC- und SiP-Technologie kombiniert, so entsteht eine Gesamtlösung, die durch den Integrationsgrad in Bezug auf Modulgröße, Funktionalität und Kosten wettbewerbsfähig ist [HOF_2008].

Die LTCC-Abteilung von EPCOS liefert verschiedene keramische Module in großer Stückzahl für zwei sehr unterschiedliche Anwendungsgebiete. Die Anwendungsgebiete sind Automotive und mobile Handgeräte. Durch die unterschiedlichen Anwendungsgebiete sind auch die Anforderungen an Bauteilgröße, Zuverlässigkeit und Kosten usw. unterschiedlich. Diese Arbeit fokussiert sich auf die mobilen Handgeräte mit deren Anforderungen und Eigenschaften. Zu Beginn dieser Arbeit wurden folgende Ziele für die Arbeit festgelegt:

1. Ermittlung der Möglichkeiten und Grenzen des traditionellen thermischen Managements für die Flip-Chip-Technologie auf LTCC unter Berücksichtigung der aus dem Umfeld von EPCOS abgeleiteten Randbedingungen wie Bauteilgröße, Fertigungstauglichkeit, Zuverlässigkeit und Kosten durch Experimente und Finite-Elemente-Simulationen.
2. Auffindung alternativer Möglichkeiten des thermischen Managements durch Literaturstudien, Simulationen und

experimentelle Arbeit ohne direkte Berücksichtigung der oben genannten Randbedingungen.

3. Untersuchung der anwendungsbezogenen Zuverlässigkeit der im Punkt eins hergestellten Module bezüglich rascher und langsamer Temperatur-wechselbelastungen.

Aus den Zielen ergeben sich die Hauptbestandteile dieser Arbeit, die Thematik des thermischen Managements für Flip-Chip-SiP-LTCC-Module und deren anwendungsbezogene Zuverlässigkeitsbetrachtung. In Kapitel zwei werden der Stand der Technik, die LTCC- Technologie, die Flip-Chip-Technologie und das SiP-Konzept beschrieben. Das dritte Kapitel widmet sich dem thermischen Management mit Grundlagen, Wärmemanagement auf Schaltungsträgern sowie Materialeigenschaften. Dazu werden u.a. die Untersuchungs-ergebnisse ausgewertet. Die experimentellen thermischen Untersuchungen basieren sowohl auf Messungen an produktnahen Modulen als auch an Modulen mit neuen Aufbautechnologien. Als Ergänzung werden auch Finite-Elemente-Simulationen durchgeführt. Im vierten Kapitel werden die Grundlagen der anwendungsbezogenen Zuverlässigkeitsbetrachtung erörtert, die verschiedenen Untersuchungsmöglichkeiten beschrieben und die Ergebnisse ausgewertet. Das fünfte und abschließende Kapitel fasst die Arbeit zusammen, nennt mögliche zukünftige Entwicklungen und beschreibt die aus dieser Arbeit entstandenen weiteren Fragestellungen und Möglichkeiten.

2. LTCC-Module

2.1 Die LTCC-Technologie

Die LTCC-Technologie ist eine seit 1950 bekannte Technologie zur Herstellung von keramischen Mehrlagen- Schaltungsträgern mit integrierter Verdrahtung. Neben der Integration von Verdrahtungen können auch passive Schaltungselemente wie Spulen, Widerstände und Kondensatoren integriert werden [IMA_2005] [MÜL_1997]. Spulen können als planare Spiralspulen oder als drei-dimensionale Spulen über mehrere Lagen realisiert werden. Die Güte und Kapazität ist abhängig von den eingesetzten Materialien, vom Design und dem Platz, der genutzt werden kann. Um Widerstände zu realisieren, werden besondere Dickschicht-Widerstandspasten benötigt. Die Widerstände können sowohl auf der Außenseite als auch im Inneren der LTCC-Substrate realisiert werden. Außenliegende Widerstände können mittels Trimmschnitten mit hoher Genauigkeit abgeglichen werden. Bei vergrabenen Widerständen ist diese Methode des Laserabgleichs nicht oder nur unter besonderen Voraussetzungen möglich. Hier kann ein Abgleich mittels Hochspannungsimpulsen durchgeführt werden [EHR_2004].

Bei der Integration von Kondensatoren werden die dielektrischen Eigenschaften des LTCC-Tapes genutzt, um Kondensatoren zu realisieren. Zur Erhöhung der realisierbaren Kapazität pro Fläche gibt es die Möglichkeit durch Integration von besonderen dielektrische Pasten oder Tapes [MÜL_1997] [BAR_2007] [MÜL_2002].

Die LTCC-Technologie ermöglicht es unter bestimmten Voraussetzungen der Materialkompatibilität verschiedene Materialien mit verschiedenen

Dielektrizitätskonstanten und -eigenschaften zu kombinieren. In Abbildung 2.1.1. ist eine Kombination aus zwei Materialien mit unterschiedlicher Dielektrizitätskonstante abgebildet, Abbildung 2.1.2 zeigt eine Kombination aus LTCC-Material und einem LTCC-Material mit Varistoreigenschaften.

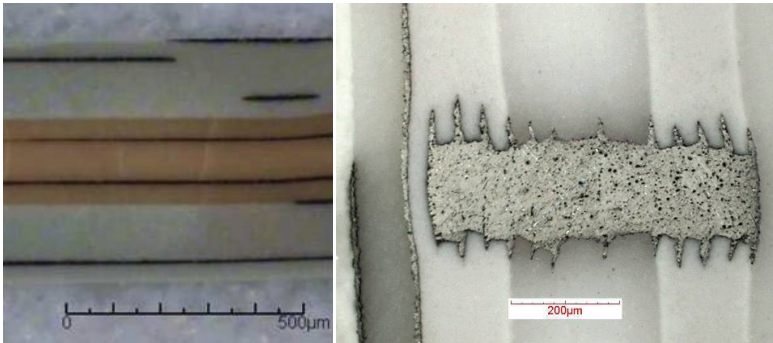


Abbildung 2.1.1: Cofired LTCC-Substrat mit zwei verschiedenen Dielektrizitätskonstanten

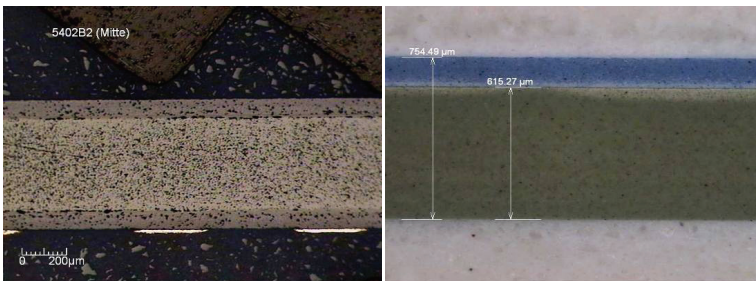


Abbildung 2.1.2: Links: Cofired LTCC (MKE100) mit außen liegende ZnO-LTCC Lagen. Rechts: Cofired LTCC (CT700) mit eine ZnO-LTCC Lage oben.

Der in dieser Untersuchung verwendete LTCC- Herstellungsprozess, der zugleich den Standardprozess bei der Fa. EPCOS OHG darstellt, unterscheidet sich wesentlich von dem oft beschriebenen LTCC- Herstellungsprozess, welcher mit einem Sinterschwund in X-, Y- und Z- Richtung verbunden ist [IMS_2001] [IMS_2005] [HIR_2008]. Die beiden Hauptunterschiede bestehen darin, dass zum Einem eine Technologie eingesetzt wird, die den Sinterschrumpf in X- und Y-Richtung verhindert und sie zum Anderen in einer stromlosen Metallabscheidung auf der Außenmetallisierung. Der LTCC-Prozess bei der EPCOS OHG ist für die Massenfertigung, Kosteneffektivität und Qualität optimiert. Die beiden Hauptanwendungen für LTCC-Module der EPCOS OHG sind Applikationen in der mobilen drahtlosen Kommunikationstechnik und Automobilelektronik. Als Beispiele seien die in Abbildung 2.1.3. dargestellten Frontendmodule und die Getriebesteuerungsmodule genannt [KUT_2006] [EPC_2006] [HOF_2005].

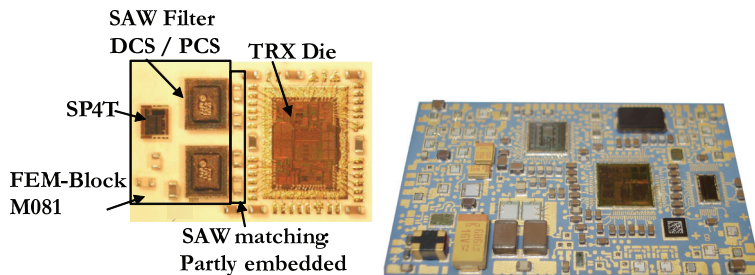


Abbildung 2.1.3: Links: Transceivermodul für mobile drahtlose Kommunikation (6mm x 10mm). Rechts: Getriebesteuerung für Automotiveanwendung (30mm x 50mm)

2.2 Der LTCC-Herstellungsprozess

Der LTCC-Herstellungsprozess bei EPCOS beginnt mit dem thermischen Vorbehandeln der Grünfolien. Die gesamte LTCC-Fertigung erfolgt mit Folien, die 225mm x 225mm groß sind. Bei der Vorbehandlung werden die Folien bei 60 bis 100° C für eine bestimmte Zeit gelagert, um den Schwund und die Stabilität der LTCC-Folien im nicht-gesinterten Zustand zu optimieren. Danach erfolgt das Stanzen der Grünfolien mit einem Mehrfach-Stanzwerkzeug, in dem bis zu 166 Stanznadeln eingebaut sind. Nach dem Stanzen der Löcher erfolgt eine vollautomatische optische Inspektion der Vialöcher und anschließend werden die Vias der LTCC-Folien mit einem Schablonen- oder Siebdruck gefüllt. Die gefüllten Lagen werden dann bei 60 bis 100° C getrocknet. Der Trockenschritt ist wichtig, um beim darauffolgenden Prozessschritt eine Verunreinigung der anderen Folien mit Vialfüllpaste zu verhindern. Nun wird auf die Folien die strukturierte Metallisierung aufgebracht. In Abhängigkeit des Layouts werden alle Lagen, die eine Innenmetallisierung haben, strukturiert. Dies erfolgt in einem Siebdruckverfahren mit anschließender Trocknung. Nach dem Trocknen erfolgt eine optische Kontrolle mit Hilfe eines AOI-Systems (Automated Optical Inspection) und die Leiterbahnbreiten und -höhen werden gemessen. Sollte es hier zu einer Abweichung von den Vorgaben kommen, wird die Lage verworfen. Damit ist sichergestellt, dass beim Laminierprozess nur geprüfte und fehlerfreie Folien zusammenlaminiert werden. Dadurch kann eine hohe Ausbeute ermöglicht werden. Die bisherigen Schritte werden für alle Lagen eines Designs durchgeführt. Beim Laminierprozess werden oben und unten Aluminiumoxidfolien hinzugefügt. Aluminiumoxid hat eine deutlich höhere Sintertemperatur als die LTCC-Keramik, sodass es beim Sintervorgang zu

einer Aufspannung der Lamine kommt und der Schwund in X- und Y-Richtung unterbunden wird. Dies hat zur Folge, dass der gesamte Volumenschwund der Keramik beim Sintervorgang in Z-Richtung erfolgt. Die nicht-gesinterte Aluminiumoxidschicht wird nach dem Sintern mittels Sandstrahlen entfernt. Danach liegt eine gesinterte Mehrlagenkeramik ohne äußere Metallisierung vor. Nachfolgend wird mittels Siebdruck die Außenmetallisierung gedruckt und getrocknet. Diese Struktur wird optisch kontrolliert, vermessen und eingebrannt. Das Einbrennen der neuen Schichten erfolgt in einem Durchlaufofen bei ca. 850° C. Nach dem Einbrand wird die Außenmetallisierung mit einer Nickel-Palladium-Gold-Beschichtung versehen. Das Nickel wirkt als eine Diffusionssperre und das Gold als Korrosionsschutz. Palladium ist erforderlich, um eine Oberfläche, die die Gold-Dünndraht-Bondbarkeit gewährleistet, herzustellen und wirkt auch als zusätzliches Korrosionsschutz für das Nickel.

Die 225mm x 225mm großen Substrate werden zu den ca. 100mm x 100mm großen Teilsubstraten gesägt. Die Substrate durchlaufen eine elektrische Funktionsprüfung sowie eine weitere optische Kontrolle. Der Fertigungsprozess ist als Ablaufdiagramm in der Abbildung 2.2.1 ersichtlich.

Wegen des erzwungenen "Null Schrumpf"-Verfahrens eignet sich die bei der EPCOS OHG benutzte und soeben beschriebene LTCC-Technologie nicht für drei-dimensionale Strukturen wie Hohlräume, Aushöhlungen und Löcher. Allgemein werden diese Strukturen auch Cavities genannt. Aufgrund der Kräfte, die durch das Aufspannen der Keramik während des Sinterprozesses entstehen, können Risse in den Ecken der dreidimensionalen Strukturen entstehen, wie in der Abbildung 2.2.2 ersichtlich. Drei-dimensionale

Strukturen lassen sich aber in einem LTCC-Prozess mit X-, Y- und Z-Schrumpfung herstellen. Dabei wird generell ein mehrstufiger und aufwendiger Laminierprozess verwendet. Als Alternative kann auch ein Self Constraint Tape eingesetzt werden. Diese Folien haben intern einen mehrlagigen Aufbau, der eine Schrumpfung in X und Y verhindert [HIN_2007] [HER_2003] [NEE_2003].

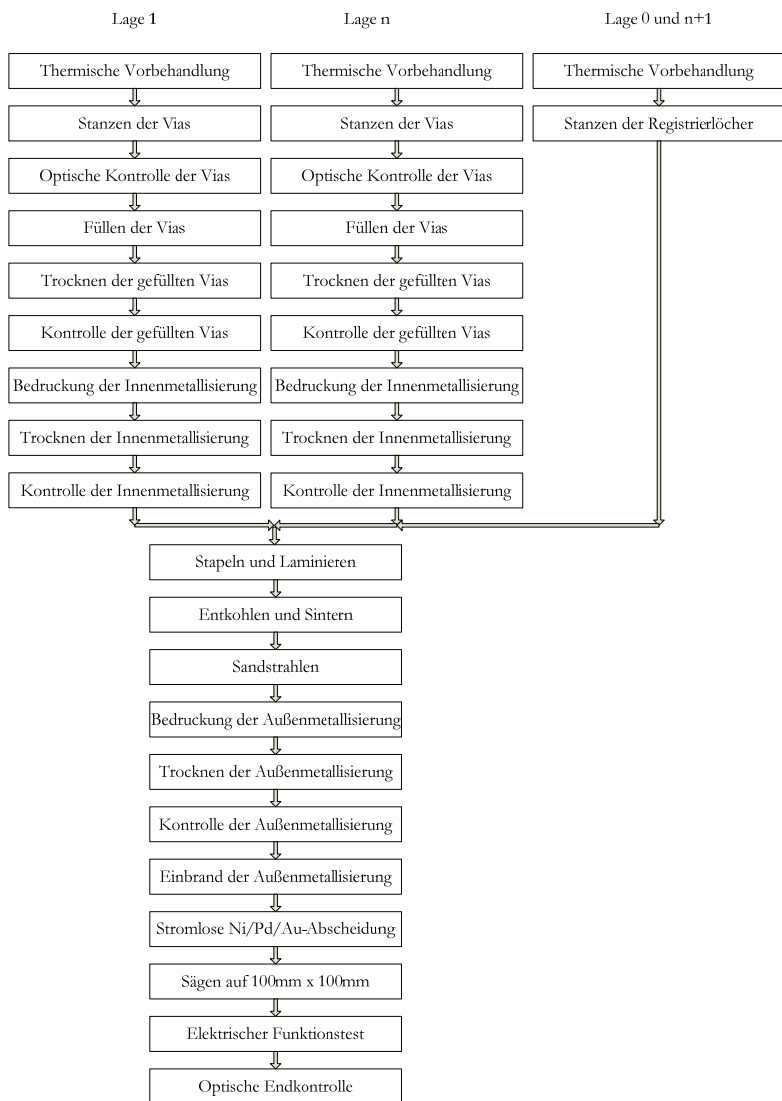


Abbildung 2.2.1: Ablauf der LTCC-Herstellung bei der Fa. EPCOS OHG

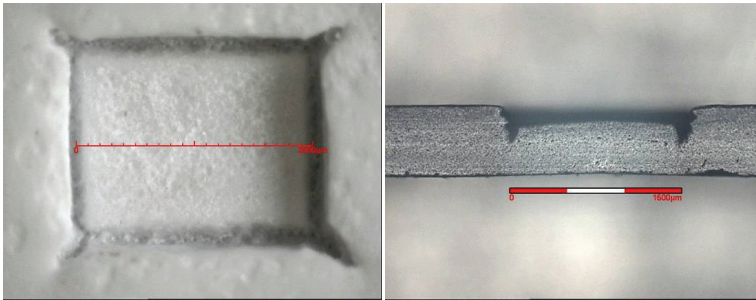


Abbildung 2.2.2: Links: Draufsicht einer Aussparung. Rechts: Querschliff einer Cavity.

2.3 System in Package

Bei einem SiP (System in Package) wird ein System, das bisher aus räumlich getrennten und zusammengeschalteten Baugruppen realisiert war, in einem Modul zusammengefasst. Das SiP bietet viele Vorteile, zu den bisherigen Lösungen. Durch das Zusammenfassen der einzelnen Baugruppen können Leitungslängen, und dadurch die parasitären Effekte reduziert werden. Der Anwender erspart sich ebenfalls das Bestücken der bereits integrierten Bauelemente und Halbleiter und kann das bereits geprüfte SiP einsetzen. Somit kann die Ausbeute des gesamten Produktes gesteigert werden. In einem SiP können die verschiedensten Halbleiter- AVT (Aufbau und Verbindungstechnologien) wie Drahtbonden, Flip-Chip, BGA (Ball Grid Array) zum Einsatz kommen [TUM_2008].

SiP stellt eine Möglichkeit dar, um den im Marktsegment der mobilen Handgeräte vorherrschenden Zwang der Miniaturisierung und Funktionssteigerung zu bewältigen.

2.4 Aufbau und Verbindungstechnik

In der Aufbau- und Verbindungstechnik der Elektronik wird vom 1st- und 2nd-level interconnect gesprochen. Als 1st level interconnect wird die Verbindung zwischen Halbleiter und dessen Träger bezeichnet. Oft ist diese Verbindung als COB- (Chip On Board) oder Flip Chip-Technologie ausgeführt. Der 2nd level interconnect verbindet den Träger des Halbleiters mit dem Substrat. Das Substrat ist meist eine organische oder eine keramische Leiterplatte.

Bei der COB-Technologie wird der ungehäute Halbleiter auf einen Träger geklebt und danach werden die elektrischen Verbindungen mittels Drahtbonden hergestellt. Oft ist der verwendete Kleber elektrisch leitend und bildet dadurch die Masseverbindung des Halbleiters. In dieser Arbeit wird die Flip-Chip-Technologie als Aufbau- und Verbindungstechnik benutzt. Die Flip-Chip-Technologie wurde in der Industrie in den 1960er Jahren von IBM eingeführt und wird auch C4 (Controlled Collapse Chip Connection) genannt ([FIP_2001] [LAU_1995] et al). Bei einem mittels Flip Chip-Technologie bestückten Halbleiter zeigt die aktive Seite des Bauelements zum Träger. Die Verbindungen zwischen Träger und Halbleiter übernehmen die sogenannten Bumps. Bumps sind zumeist kugelförmige Objekte aus einem elektrisch leitfähigen Material. Die Bumps übernehmen sowohl die Aufgabe als elektronisches und thermisches Leitungselement als auch die mechanische

Halterung des Bauelements. Die beiden größten Vorteile von Flip-Chip sind die minimale Größe und die parallele Herstellung der Kontakte. Dadurch können Kosten für Bestückung und Substratfläche gespart werden. Eine prinzipielle Darstellung der beiden Technologien ist in der Abbildung 2.4.1. zu sehen.

Die Nachteile der FC-Technologie können unter anderem sein: Wärmemanagement, Ermüdungsversagen wegen der Unterschiede in den thermischen Ausdehnungskoeffizienten (CTE) zwischen den Halbleitern und dem Substrat sowie die Anforderungen an die Planarität des Substrates. Die Auswirkungen von Temperaturschwankungen sind in der Abbildung 2.4.2 dargestellt.

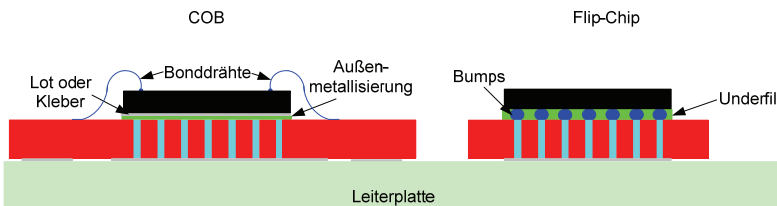


Abbildung 2.4.1: Vergleich von Chip on Board und Flip Chip

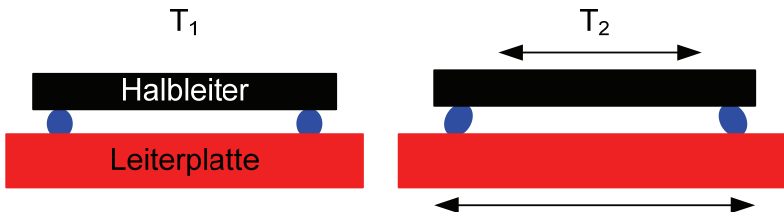


Abbildung 2.4.2: Auswirkungen der Temperaturänderung bei $T_2 > T_1$ und $CTE_{\text{Leiterplatte}} \gg CTE_{\text{Halbleiter}}$

2.5 Die Flip-Chip-Technologie

Es gibt viele unterschiedliche Arten der Bump-Erzeugung und Flip-Chip-Montage. Die am häufigsten vorkommenden Methoden sind in der Tabelle 2.5.1 aufgeführt. In dieser Untersuchung wurden die Bumps einerseits mittels Schablonendruck einer Lotpaste mit anschließendem Umschmelzen und andererseits mittels galvanischer Abscheidung von Kupfersäulen mit SnAg-Kappe erzeugt. Zur Montage der Flip-Chip-Halbleiter wurde ein Lötprozess verwendet.

Arten der Bumperzeugung	Arten der FC Montage
<ul style="list-style-type: none">• Lotpastendruck• Galvanische Abscheidung• Studbumping• Bedampfen• Bumpdrop	<ul style="list-style-type: none">• Löten• Kleben Isotrop /Anisotrop• Thermokompressions- Bonden

Tabelle 2.5.1: Übersicht der verschiedenen Arten der Bumperzeugung und Flip-Chip-Montage.

2.5.1 Methoden der Bumpherstellung

Die Bumpherstellung mittels Lotpastendruck erfolgt in vier Schritten. Als erstes wird ein Schablonendruck durchgeführt. Danach werden die Halbleiter

mit dem gedruckten Lot in einem Reflow-Ofen erhitzt. Dabei schmilzt das Lot und aufgrund der Oberflächenspannung formt es sich zu einer Kugelform "Bump". Die Paste besteht aus kleinen Körnern der eingesetzten Legierung und aus Flussmitteln. Die hier verwendete Legierung ist ein Standard-Lot der Fa. Nihon Handa bestehend aus 95,75% Zinn, 3,5% Silber und 0,75% Kupfer und hat eine Korngröße von $5\mu\text{m}$ bis $20\mu\text{m}$ [Nih_2005]. Nach dem Umschmelzen muss das Flussmittel, welches zur Oxid- und Verunreinigungsentfernung dient, abgewaschen werden. Bei der anschließenden optischen Kontrolle werden Form und Höhe der Bumps geprüft.

Der Kupfersäulenprozess ist in der Abbildung 2.5.1.1 dargestellt. Zuerst wird eine vollflächige Titan-Kupfer-Schicht aufgesputtert und darauf ein Photoresist laminiert. Nun werden die Strukturen durch eine Maske belichtet und die belichteten Strukturen entwickelt. Danach werden Kupfer und das Zinn-Silber-Lot in einem elektrogalvanischen Prozess abgeschieden. Anschließend wird der Resist in einem nass-chemischen Prozess entfernt und die überflüssige Titan-Kupferschicht weggeätzt. Ein Umschmelzen im Reflow-Ofen formt nun das Lot zu einer Halbkugel, sodass der Wafer weiterprozessiert werden kann.

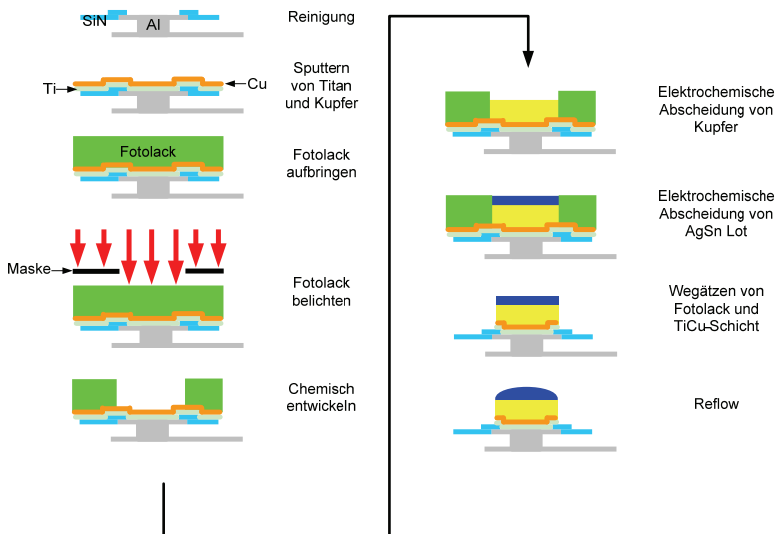


Abbildung 2.5.1.1: Der Herstellungsprozess von Kupfer-Säulen mit einer SnAg-Kappe

Durch die sehr genau kontrollierbare Abscheidung und den homogenen UBM-Durchmesser (Under Bump Metalization), welcher durch das photolithographische Verfahren zustande kommt, ist bei den Kupfer-Säulen mit SnAg-Kappe die Bump-Höhen-Variation deutlich geringer als bei mittels Schablonendruck hergestellten Bumps. Dies wird in der Abbildung 2.5.1.2 ersichtlich. Die beiden Bump-Arten haben nach der Flip-Chip-Montage einen annähernd gleichen Abstand zwischen den Halbleitern und der LTCC. Dies kann durch das unterschiedliche Verhalten beim Verlöten erklärt werden. Die Kupfer-Säule kann nicht kollabieren, sondern nur das SnAg-Lot.

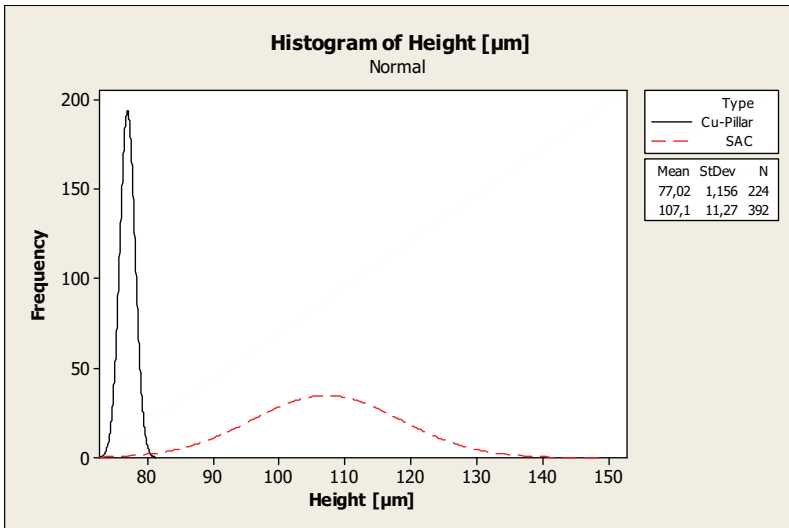


Abbildung 2.5.1.2: Vergleich der Bump-Höhen und deren Verteilung bei den Lot-Bumps und den Kupfersäulen mit SnAg-Kappe.

2.5.2 Flip-Chip-Montageprozess

Der in dieser Untersuchung benutzte Flip-Chip-Montageprozess besteht aus neun Prozessschritten, beginnend mit dem Aufnehmen des Halbleiters vom Sägerahmen. Die Halbleiter liegen auf dem Sägerahmen mit den Bumps nach oben und müssen umgedreht werden, sodass die Bumps Richtung Substrat zeigen. Nun werden die Bumps in einer Wanne, welche mit Flussmittel gefüllt ist, eingetaucht. Die Wannentiefe kann verstellt werden, um die richtigen

Flussmittelmengen zu ermöglichen. Die notwendige Flussmittelmenge hängt von einer Vielzahl von Parametern ab, u.a. Bump-Durchmesser, Bump-Höhe, substratseitige UBM-Durchmesser und Benetzungseigenschaften der substratseitigen UBM. Nachdem die Bumps in Flussmittel eingetaucht wurden, wird das Bauelement zum Substrat ausgerichtet und platziert. Da das Flussmittel auch als Kleber wirkt, wird das Bauelement an dem vorgesehenen Platz gehalten, bis der Reflow-Lötprozess erfolgen kann. Im Verlauf des Reflows verdampft das meiste Flussmittel; aber es können Restmengen in der Umgebung des Bumps zurückbleiben. Flussmittelreste können sich negativ auf den Underfillprozess auswirken. Um dem vorzubeugen, wird ein Reinigungsschritt durchgeführt. Bei dem Verlöten sackt der Halbleiter gegen das LTCC-Substrat ab. Dies geschieht, weil das Flip-Chip Lötpad benetzt wird und sich der Bump verformt (siehe Abbildung 2.5.2.1.).

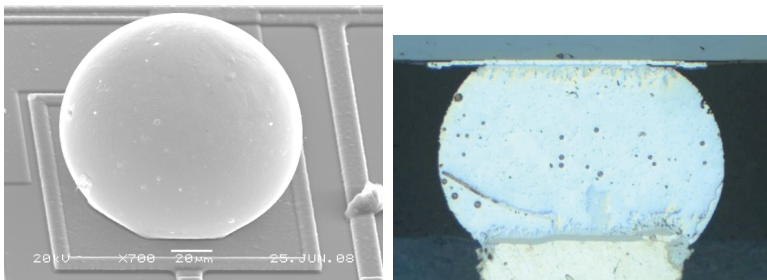


Abbildung 2.5.2.1: Sekundärelektronen-Aufnahme eines Bumps vor dem Verlöten und eine optische Aufnahme eines Schliffbilds nach dem Verlöten

Anschließend wird ein Underfill unter den Halbleiter dosiert. Der Underfill dient als mechanischer und chemischer Schutz der Verbindung zwischen dem Substrat und dem Halbleiter. Der Underfill verringert die Kräfte, die auf den

Bump bei mechanischer und thermomechanischer Belastung wirken und erhöht dadurch die Zuverlässigkeit. Der Underfill wird nach dem Dosieren ausgehärtet ([LAU_1995] [REI_1998] et al.).

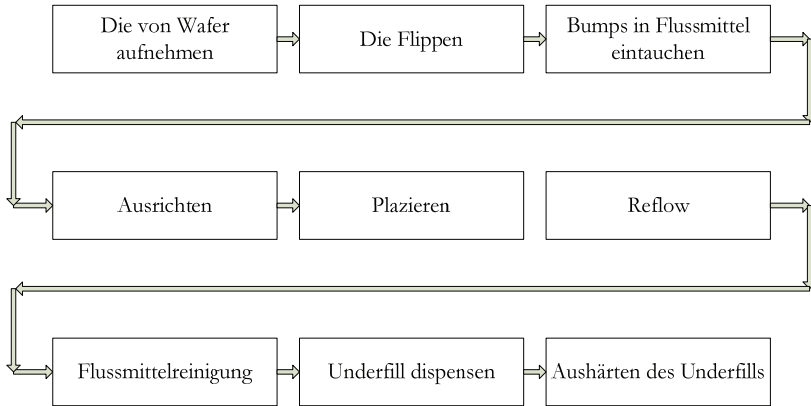


Abbildung 2.5.2.2: Der Ablauf des Flip-Chip-Montage-Prozesses

2.6 SiP-Beispielmodul

Als Beispiel für ein SiP-Modul kann das PAiD-Modul (Power Amplifier with Integrated Duplexer) genannt werden. PAiD-Module bestehen hauptsächlich aus einem Leistungsverstärker und einem Duplexer. Das Eingangssignal wird durch einen Interstage-SAW-Filter (Surface Acoustic Wave) bandbegrenzt und gelangt an den Leistungsverstärker (PA). Dort wird es verstärkt und über den Duplexer an eine extern angeschlossene Antenne gesendet. In der entgegengesetzten Richtung ermöglicht das Modul, dass über den Duplexer ankommende Signale zeitgleich am Rx-Port vom Duplexer empfangen werden können. Zwischen Duplexer und PA befindet sich ein Koppler, der einen Teil der Leistung auskoppelt, um eine Möglichkeit zu haben, die gesendete Leistung zu messen. Beim PAiD-Modul sind folglich ein Leistungsverstärker, ein Schalter, ein Leistungsdetektor und mehrere SAW-Filter in einem Modul zusammengefasst. In das LTCC-Substrat sind ebenfalls mehrere Spulen und Kondensatoren integriert. Dadurch kann die Anzahl der passiven SMD-Bauelemente deutlich reduziert werden. Eine Integration der passiven Bauelemente erhöht zudem die Leistungsfähigkeit des Moduls durch Reduktion der parasitären Effekte durch kurze und optimierte Signalleitungen.

In Abbildung 2.6.1. sind die verschiedenen Verbindungstechnologien ersichtlich. Der Leistungsverstärker ist in diesem Beispiel mittels COB-Technik montiert und der Leistungsdetektor ist in Flip Chip-Technologie realisiert. Die restlichen Komponenten sind als LGA (Land Grid Array) und SMT (Surface Mount Technology) aufgebaut.

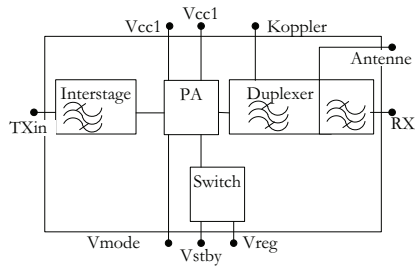
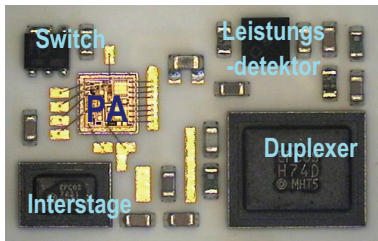


Abbildung 2.6.1: PAiD-Modul als Anschauungsbeispiel und als Blockschaltbild.

Ein Vergleich der an der Moduloberfläche benötigten Fläche zeigt, dass eine Flip-Chip-basierende Version ca. 27% weniger Fläche benötigt, als eine Drahtbond-Version.

$$A_D = (0,2mm + 1mm + 0,2mm + 0,3mm) \cdot (0,2mm + 2,0mm + 0,2mm + 0,3mm) = 4,59mm^2 \quad (Gl. 2.6.1)$$

$$A_F = (0,2mm + 1mm + 0,2mm) \cdot (0,2mm + 2,0mm + 0,2mm) = 3,36mm^2 \quad (Gl. 2.6.2)$$

$$\frac{A_F}{A_D} = 73\% \quad (Gl. 2.6.3)$$

A_D = Fläche Drahtbond Version

A_F = Fläche Flip Chip Version

2.7 Anforderungsprofil für mobile Handgeräte

Neben dem Kostendruck, der bei allen elektronischen Produkten vorliegt und hier nicht näher diskutiert wird, gelten die Miniaturisierung und die Erweiterung der Funktionalität als Hauptanforderungen für diese Produkte. Neben diesen Aspekten können aus den Einsatzbedingungen für mobile Handgeräte zwei weitere Punkte für das Anforderungsprofil abgeleitet werden, die Zuverlässigkeit bei der Umgebungstemperatur und die beim Gebrauch vorliegende mechanische Belastung. Die normale Einsatztemperatur für kommerzielle Anwendungsbereiche liegt zwischen -20°C bis $+50^{\circ}\text{C}$. Zu den mechanischen Belastungen zählen Fall-, Druck- und Biegebelastungen. Die Druck- und Biegebelastung kann unter anderem durch den Tastendruck hervorgerufen werden. Diese mechanischen Beanspruchungen können, obwohl keine unmittelbare Verbindung zur Tastatur bestehen, aufgrund der Einbaubedingungen der Hoch-Frequenz-Module, übertragen werden.

Um die Qualität der Module für den Einsatz in mobilen Handgeräten sicherzustellen, werden Qualifikationstests durchgeführt. Diese sind unter anderem Temperaturwechseltests, Lagerung unter Feuchte und Wärme und Mehrfach-Reflows. Die Anforderungen an diese Tests werden vom jeweiligen Kunden festgelegt. Die typischen Anforderungen sind in der Tabelle 2.7.1. aufgelistet.

Test	Anforderung	Bemerkung
Feuchte-/Wärmelagerung	1000 Stunden bei 85° C und 85% relativer Luftfeuchtigkeit	
Temperaturwechsel- belastung	-40° C bis 125° C, 500 Zyklen	Hier gibt es vermehrt Nachfragen von 1000 Zyklen statt 500 Zyklen
Mehrfach-Reflow	3 mal bleifrei Reflow 260° C Höchsttemperatur	modulabhängig auch 6 mal

Tabelle 2.7.1.: Auszug der verschiedenen Testmethoden für eine
Kundenfreigabe

3. Thermisches Management für LTCC-Module

3.1 Grundlagen

3.1.1 Einführung in die Wärmeübertragung

Die Wärmeübertragung spielt in der Elektronik eine wichtige Rolle, sei es bei der Verlotung eines Bauelements oder für die Lebensdauer eines Halbleiters. In dieser Arbeit wird die Wärmeübertragung an einem LTCC-Flip-Chip-Modul betrachtet. Als Grundlage des Wärmetransports dient die Thermodynamik mit den drei Erhaltungssätzen Energieerhaltung, Massenerhaltung und Impulserhaltung. Wärme wird als „die einem Körper aufgrund von Temperaturunterschieden ohne Arbeitsleistung zugeführte oder entzogene Energie“ definiert. In der Gleichung 3.1.1.1 ist der Zusammenhang zu der Energie, die benötigt wird, um einen Körper von Temperatur T_1 bis Temperatur T_2 zu erwärmen, zu sehen. Die Gleichung 3.1.1.2 stellt die Wärmestromgleichung dar.

$$E = C_{Material} \cdot m \cdot \Delta T \quad (\text{Gl. 3.1.1.1})$$

$$\Phi = \frac{dQ}{dt} = E \quad (\text{Gl. 3.1.1.2})$$

C = Spezifische Wärmekapazität

E = Energie

m = Masse

ΔT = Temperatur

Φ = Wärmestrom

Q = Wärmemenge

Es gibt drei Arten der Wärmeübertragung: Wärmeleitung, Konvektion und Wärmestrahlung. Unter Wärmeleitung wird der diffuse Energietransport in Festkörpern oder Fluiden verstanden. Konvektion ist die Mitführung von Wärme in strömenden Flüssigkeiten oder Gasen. Als Wärmestrahlung wird der Austausch von Wärme zwischen Körpern unterschiedlicher Temperatur durch elektromagnetische Strahlung im Wellenlängenbereich von 0,1 bis 1000µm verstanden [POL_2005].

Die möglichen Luftbewegungen in einem modernen mobilen Handgerät sind sehr begrenzt. Der Abstand zwischen Leiterplatten, Bildschirm und Gehäuse ist sehr klein. Als Beispiel kann das Nokia N95 herangezogen werden, ein Mobiltelefon mit Hochgeschwindigkeits-Internet-Verbindung durch WLAN und HSDPA (High Speed Downlink Packet Access), GPS Navigation, FM-Radio, Bluetooth, MP3-Player, 5 Megapixel Kamera und vielem mehr [PRI_2007]. Damit kann der Anteil der konvektiven Wärmeübertragung vernachlässigt werden. Gleiches gilt für den Anteil der Wärmestrahlung an der Gesamtwärmeübertragung [CHI_2004] [JOI_2004] [OSO_2006]. Durch diese Vernachlässigung der Konvektions- und Strahlungsanteile an der Wärmeübertragung ergibt sich in der Gesamtbetrachtung eine konservative Aussage des thermischen Managements. Schon in einem Handy, welches 2002 auf dem Markt erschien, sind die Funktionalitäts- und die Packungsdichte beachtlich (siehe Abbildung 3.1.1.1.). Unten liegt der Touchscreen, in der Mitte die beidseitig bestückte Leiterplatte und oben ist der Deckel. Im zusammengebauten Zustand bildet der Deckel, der auf der Leiterplatte montiert wird, die Unterlage für den Bildschirm.

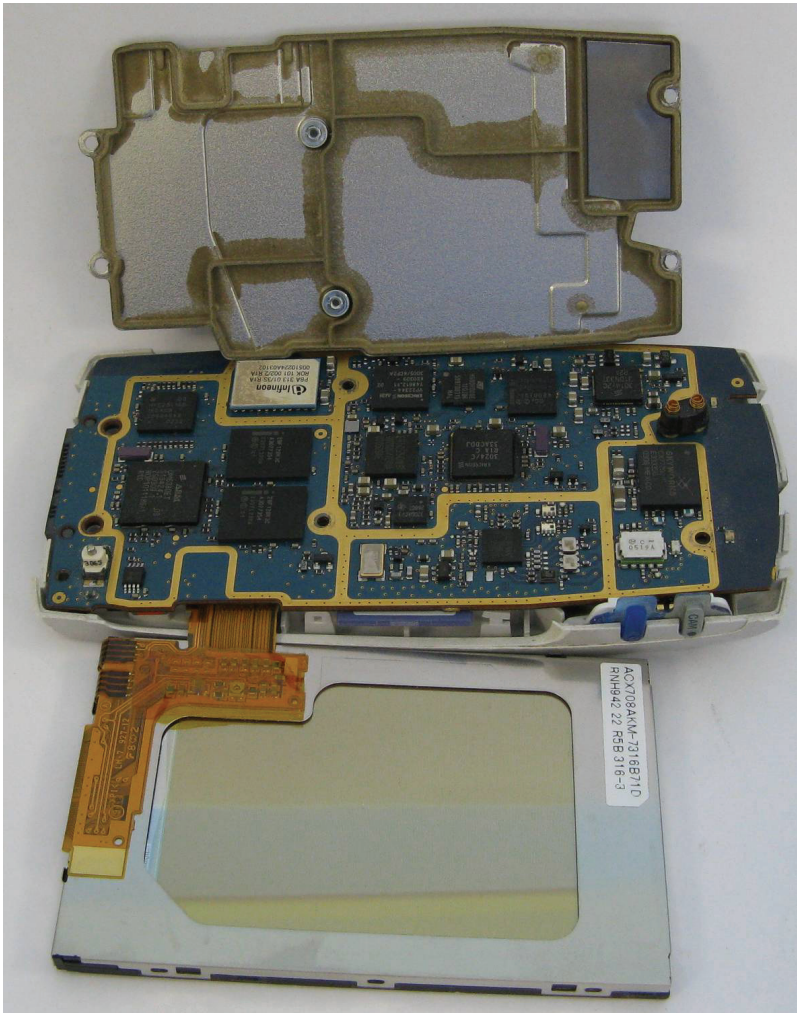


Abbildung 3.1.1.1: Innenleben eines Mobiltelefons (Ericsson P800).

Für die Wärmeleitung, die hier als maßgebende Art der Wärmeübertragung betrachtet werden soll, gilt das Fourier'sche Gesetz für den linearen Fall.

$$\vec{\dot{q}}\left(\vec{x}\right)=-\lambda\cdot\nabla\cdot T\left(\vec{x}\right) \quad (\text{Gl. 3.1.1.3})$$

oder

$$\Phi=-\lambda\cdot A\cdot\nabla\cdot T \quad (\text{Gl. 3.1.1.4})$$

und für den eindimensionalen Fall:

$$\dot{q}_x=-\lambda\cdot\frac{dT}{dx} \quad (\text{Gl. 3.1.1.5})$$

oder

$$\Phi=-\lambda\cdot A\cdot\frac{dT}{dx} \quad (\text{Gl. 3.1.1.6})$$

[POL_2005]

$\vec{\cdot}$
 \vec{q} = Wärmestromdichte
 λ = Wärmeleitwert
 ∇ = Nablaoperator
 T = Temperatur
 Φ = Wärmestrom
 A = Fläche
 \vec{x} = Vektor

Damit ist der Wärmestrom Φ proportional zur Fläche A , dem Temperaturgradienten $\frac{dT}{dx}$ und der materialbezogenen thermischen Leitfähigkeit λ (siehe Abbildung 3.1.1.2).

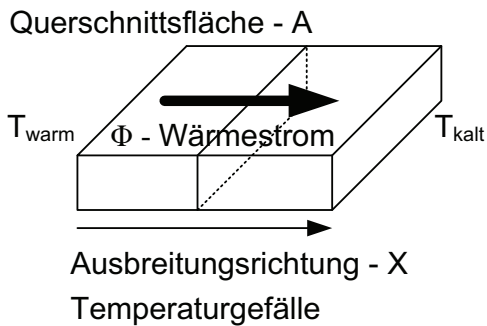


Abbildung 3.1.1.2: Prinzipskizze des Wärmestromes.

Die Temperaturleitfähigkeit α setzt die Wärmeleitfähigkeit λ ins Verhältnis zum Speichervermögen $\rho \cdot C$ und ist ein Maß dafür, wie schnell sich Temperaturstörungen im Material ausgleichen. [POL_2005].

$$a = \frac{\lambda}{\rho \cdot C} \quad (\text{Gl. 3.1.1.7})$$

a = Temperaturleitfähigkeit

λ = Wärmeleitfähigkeit

ρ = Dichte

C = spezifische Wärmekapazität

Der Wärmewiderstand zwischen zwei Punkten wird als Quotient zwischen Temperaturdifferenz und Verlustleistung definiert und ist in Gleichung 3.1.1.8 dargestellt. Der Wärmewiderstand kann auch als eine Funktion der Wärmeleitzahl, Schichtdicke und Querschnittsfläche beschrieben werden. (Gl. 3.1.1.9)

$$R_{th} = \frac{T_2 - T_1}{P_v} \quad (\text{Gl. 3.1.1.8})$$

$$R_{th} = \frac{l_s}{\lambda \cdot A} \quad (\text{Gl. 3.1.1.9})$$

R_{th} = Wärmewiderstand

T = Temperatur

P_v = Verlustleistung

l_s = Länge

λ = Wärmeleitwert

A = Fläche

3.1.2 Thermisches Ersatzschaltbild

Um eine grobe Abschätzung des thermischen Verhaltens eines Bauelements zu erhalten, kann das thermische Ersatzschaltbild, das analog zu einem elektrischen Ersatzschaltbild funktioniert, benutzt werden. Die Analogien zur Elektrizitätslehre sind in der Tabelle 3.1.2.1 dargestellt.

Temperaturdifferenz	ΔT	[K]	Spannung	U	[V]
Wärmestrom	Φ	[W]	Stromstärke	I	[A]
Wärmestromdichte	\bullet q	[W/m ²]	Stromdichte	J	[A/m ²]
Wärmewiderstand	R_{th}	[K/W]	elektrischer Widerstand	R	[Ohm]
Wärmeleitwert	λ	[W/(mK)]	elektrische Leitfähigkeit	Ω	[S/m]
Wärmeleistung	P_{th}	[KW]	Leistung	P	[W]

Tabelle 3.1.2.1: Analogien zur Elektrizitätslehre

3.1.3 Reihen- und Parallelschaltung von Wärmewiderständen

Reihen- und Parallelschaltung von Wärmewiderständen funktionieren wie in der Elektrizitätslehre. Bei einer Reihenschaltung wird die Summe der Einzelwärmewiderstände gebildet und bei der Parallelschaltung ist der reziproke Gesamtwärmewiderstand gleich der Summe der reziproken Einzelwärmewiderstände (siehe Gleichung 3.1.3.1 und 3.1.3.2).

$$R_{th\,Reihe} = \sum_{i=0}^n R_{th_i} \quad (\text{Gl. 3.1.3.1})$$

$$\text{bzw. } \frac{1}{R_{th\,Parallel}} = \sum_{i=0}^n \frac{1}{R_{th_i}} \quad (\text{Gl. 3.1.3.2})$$

R_{th} = Thermische Widerstand

Zur Veranschaulichung sind sowohl das thermische Ersatzschaltbild eines Drahtbond-Moduls als auch das eines Flip Chip-Moduls in den Abbildungen 3.3.1 bis 3.3.3, Kapitel 3.3 dargestellt.

Bei einem eindimensionalen Ersatzschaltbild werden die Übergangswiderstände und die Wärmespreizung im Material üblicherweise vernachlässigt. Durch die Vereinfachungen entstehen Abweichungen vom realen Verhalten.

3.1.4 Rolle der Halbleiterübergangstemperatur für die Lebensdauer

Da die Temperatur und die Temperaturverteilung des Moduls Einflussfaktoren sowohl für die Zuverlässigkeit von Lötstellen (durch die Temperaturabhängigkeit der Diffusion in der Lötstelle) als auch für die Lebensdauer von Halbleitern sind, ergibt sich der Wunsch, die Temperatur zu minimieren [SER_1998][STA_1999]. Die Halbleiterhersteller legen eine maximale Halbleiterübergangstemperatur von 125° C für Silizium fest. Die entsprechende Temperatur für einen GaAs-Halbleiter ist mit 175° C angegeben [PHI_2005][TEX_2005]. Die Arrheniusgleichung beschreibt den Zusammenhang zwischen Degradationsrate in Abhängigkeit der Aktivierungsenergie des Prozesses (siehe Gl. 3.1.4.1.).

$$R_D = A \cdot e^{\left(\frac{-E_a}{k \cdot T_K}\right)} \quad (\text{Gl. 3.1.4.1})$$

R_D = Degradationsrate

A = Proportionalitätskonstante

E_a = Aktivierungsenergie

k = Boltzmann Konstante $8,6 \cdot 10^{-5}$ (eV/K)

T_K = Absolute Temperatur in Kelvin

Da alle diese Werte vom Material und den Funktionsanforderungen abhängig sind, müssen für jedes Produkt Einsatzbedingungen und deren Auswirkungen betrachtet werden.

3.2 Wärmemanagement auf Schaltungsträgern

In der Elektronik werden viele verschiedene Materialien als Schaltungsträger eingesetzt. Grundsätzlich wird zwischen organischen und anorganischen Schaltungsträgern unterschieden. Zu der Gruppe der organischen Schaltungsträger zählen Leiterplatten (FR4) und anorganischen Schaltungsträger beinhalten die keramischen Schichtschaltungen. Die metallischen Schaltungsträger gehören auch zu den anorganischen Schaltungsträgern, stellen aber eine Sondergruppe dar, da diese nur mechanische und thermische Aufgaben übernehmen. Die elektrische Schaltung muss dann mittels zusätzlicher Isolationslagen realisiert werden. In Tabelle 3.2.1 sind einige Eigenschaften der verschiedenen Materialien aufgelistet und bewertet.

Reicht die thermische Leitfähigkeit des Grundsaltungsträgers nicht aus, um das thermische Management des Moduls zu bewältigen, können zusätzliche Maßnahmen eingesetzt werden. Grundsätzlich gibt es zwei verschiedene Arten des thermischen Managements, aktives und passives Management.

	Thermische Eigenschaften	Integrationsmöglichkeiten für passive Elemente	Kosten
FR4	Schlecht	Spulen: OK	Niedrig
LTCC	Gut *	Gut	Mittel
HTCC (High Temperature Cofired Ceramics)	Sehr gut	Gut für Kondensatoren	Hoch
DCB (Direct Copper Bond)	Ausgezeichnet	Schlecht	Hoch
Metal Core FR4	Gut – Sehr gut	Schlecht	Hoch

Tabelle 3.2.1: Vergleich der Eigenschaften von verschiedenen Materialien, die als Schaltungsträger eingesetzt werden. *) Die thermische Eigenschaft kann durch den Einsatz von thermischen Vias und Wärmespreizern verbessert werden.

3.2.1 Aktive Methoden für das thermische Management

Unter den aktiven Maßnahmen sind Verfahren wie Flüssigkeitskühlung, Gaskühlung, Sprühkühlung, Thermoelektrikkühlung, thermionische Kühlung und Verdampfungskühlung zu nennen. Alle aktiven Verfahren zum thermischen Management eignen sich aufgrund der Kosten und Größe nicht für den Einsatz in mobilen Handgeräten.

3.2.2 Passive Methoden für das thermische Management

Die passiven Verfahren sind Kühlkörper, Wärmespreizer, thermische Vias, Wärmerohre und Latentwärmespeicher [TUM_2008].

Bei den Kühlkörpern findet die Kühlung über die Konvektion auf einer designtechnisch vergrößerten Oberfläche statt. Da aber weder Raum noch ausreichende Luftbewegung bei den mobilen Handgeräten vorhanden sind, wird diese Methode kaum Anwendung finden, es sei denn, das Gehäuse wird als Kühlkörper genutzt.

Ein Wärmerohr ist ein mit Flüssigkeit gefülltes, verschlossenes Rohr. Die Funktionsweise eines Wärmerohres basiert auf dem Verdampfen und Kondensieren einer Flüssigkeit. Auf einer Seite des Rohres wird die Energie der Umgebung entzogen, wodurch die Flüssigkeit erhitzt und schließlich zur Verdampfung gebracht wird. Der Dampf trifft dann auf die andere Seite und kondensiert. Dabei wird die zuvor in Dampf gebundene Energie wieder freigegeben. Auch diese Methode erfordert viel Platz und ist somit für diese Anwendung nicht geeignet [QDT_2008].

Ein Latentwärmespeicher, auch PCM (phase change materials) genannt, kann eine bestimmte Menge an Energie durch die Aggregatzustandsänderung speichern. Die Energiemenge wird durch die Masse des Materials und die spezifische Wärmekapazität wie in Gleichung 3.2.2.1 bestimmt.

$$E = c_{Material} \cdot m \cdot \Delta T \quad (\text{Gl. 3.2.2.1})$$

C = Spezifische Wärmekapazität

E = Energie

m = Masse

ΔT = Temperaturunterschied

Durch die Nutzung eines Latentwärmespeichers wird der Zeitpunkt verschoben, zu dem die Halbleitertemperaturgrenze erreicht wird. Wird dann die Verlustleistung im Halbleiter gesenkt, beispielsweise, wenn die Sendeleistung reduziert werden kann, sinkt die Temperatur im Halbleiter. Sinkt dann zusätzlich die Temperatur des PCM unterhalb des Schmelzpunkts, wird die Energie, die gespeichert war, wieder freigegeben. Die Nachteile dieser Lösung sind die begrenzte Wirkungsdauer und Kapazität und der Platzbedarf. Diese Lösung zum thermischen Management ist eher als Nischenlösung zu betrachten [TAN_2007].

Sowohl die Wärmespreizer als auch die thermischen Vias sind designtechnische Möglichkeiten, um mehr Metall in den Schaltungsträger zu integrieren und somit die resultierende Wärmeleitfähigkeit zu erhöhen. Die thermischen Durchkontaktierungen, die auch thermische Vias genannt werden, sind mit Metall gefüllte, vertikale Durchkontaktierungen. Wärmespreizer sind horizontale Metallschichten, die in den Schaltungsträgern integriert sind. Beide Möglichkeiten sind in der Abbildung 3.2.2.1 dargestellt. Diese Art des passiven thermischen Managements lässt sich hervorragend in der LTCC-Technologie realisieren.

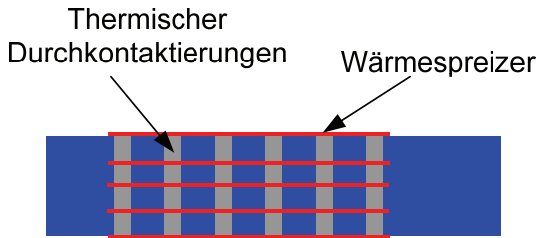


Abbildung 3.2.2.1: Definition thermischer Durchkontaktierungen und Wärmespreizer

In der LTCC-Technologie wird meist Gold, Silber, Silber-Palladium oder Silber-Platin als elektrisch leitendes Material benutzt. Welches Material benutzt wird, hängt von mehreren Faktoren ab, wie z.B. den Kosten, der thermischen Leitfähigkeit, der elektrischen Leitfähigkeit und der Materialkompatibilität zu Verbindungstechnologien [MÜL_1997].

	Kosten	Thermische Leitfähigkeit	Elektrische Leitfähigkeit
Gold	Hoch	Hoch	Hoch
Silber	Niedrig	Sehr hoch	Sehr hoch
Silber-Palladium	Mittel bis Hoch	Mittel	Mittel
Silber-Platin	Mittel bis Hoch	Hoch bis Mittel	Hoch bis Mittel

Tabelle 3.2.2.1: Gegenüberstellung der Eigenschaften der Metalle, die als leitfähige Materialien in der LTCC-Technologie eingesetzt werden.

3.3 Einfluss der Bestücktechnologie auf das Wärmemanagement

Der Einfluss der Bestücktechnologie kann mittels thermischen Ersatzschaltbildes abgeschätzt werden. Wird ein Vergleich zwischen der Drahtbond- und Flip-Chip-Technologie hinsichtlich eines vergleichbaren Halbleiter- und Moduldesigns durchgeführt, so zeigt sich ein deutlicher Vorteil der Drahtbond-Technologie in Bezug auf den thermischen Widerstands zwischen dem Halbleiter und der Umgebung. Die beiden thermischen Ersatzschaltbilder sind in Abbildung 3.3.1 aufgezeigt. Verglichen wurde ein quadratischer Halbleiter mit der Kantenlänge von 2,54mm. Die Dicke der LTCC wurde mit 400µm angenommen. Der Halbleiter besitzt 31 Anschlüsse, davon sind 12 zur elektrischen Beschaltung notwendig und können dadurch nur zum Teil zur Wärmeableitung genutzt werden. Die zur Berechnung herangezogenen thermischen Leitfähigkeiten sind in Tabelle 3.3.1 aufgeführt.

Zur Berechnung wurden, wie bei der Benutzung des thermischen Ersatzschaltbildes, die Superposition und die Übergangswiderstände vernachlässigt. Die Drahtbondtechnologie hat einen um 40% niedrigeren thermischen Widerstand im Vergleich zu der Flip Chip- Technologie (vgl. Abbildung 3.3.2 und 3.3.3). Bei der Drahtbond-Technologie ist eine Klebeverbindung zwischen dem Halbleiter und den Topmetallisierungen zu finden. Wird statt des Klebers ein Lot mit thermischen Leitfähigkeit von $\lambda = 50 \text{ W/mK}$ verwendet, so verbessert sich dieser Wert dramatisch und der Gesamtaufbau hat dann einen um 65% besseren thermischen Widerstand. Bei der Flip Chip-Technologie liegt der Hauptanteil des thermischen Widerstands beim Underfill. Wird der Underfill durch einen thermisch besser leitenden

Underfill mit einer thermischen Leitfähigkeit von $\lambda = 2 \text{ W/mK}$ ersetzt, so verringert sich der thermische Widerstand des Moduls um 35%.

	Material	Wärmeleitfähigkeit [W/mK]
Bump	Lot SAC	50
Underfill	Polymer	2
LTCC	MKE 100	3
Vias	DP 6418	200
Außenmetallisierung	DP 6915	200
Halbleiter	Silizium	150

Tabelle 3.3.1: Übersicht der Wärmeleitfähigkeiten des als Beispiel berechneten Aufbaus.

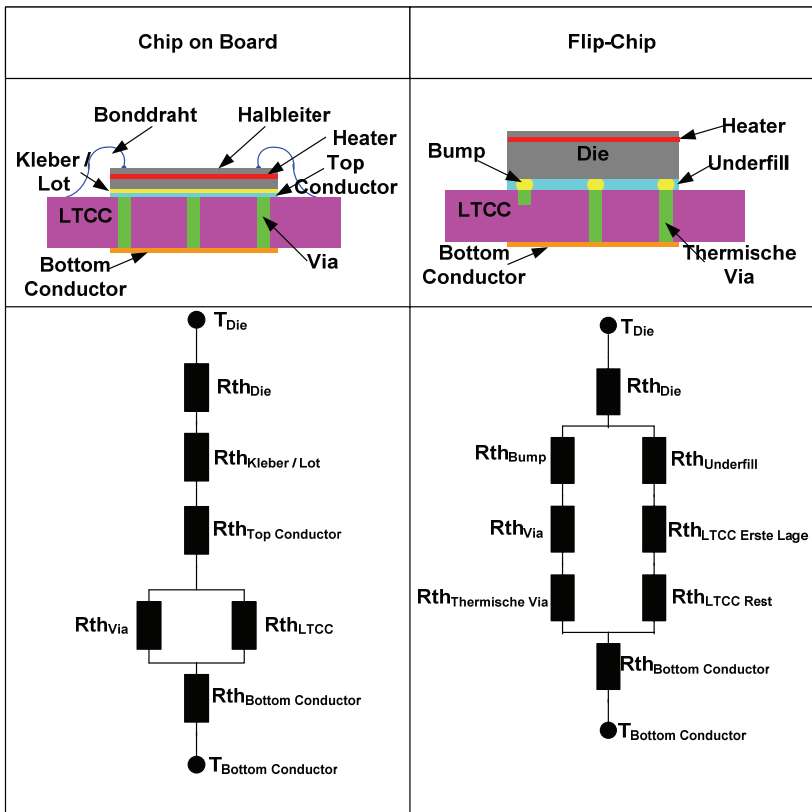


Abbildung 3.3.1: Vergleich der thermischen Ersatzschaltbilder von COB und Flip-Chip. (Nur Wärmeleitung betrachtet.)

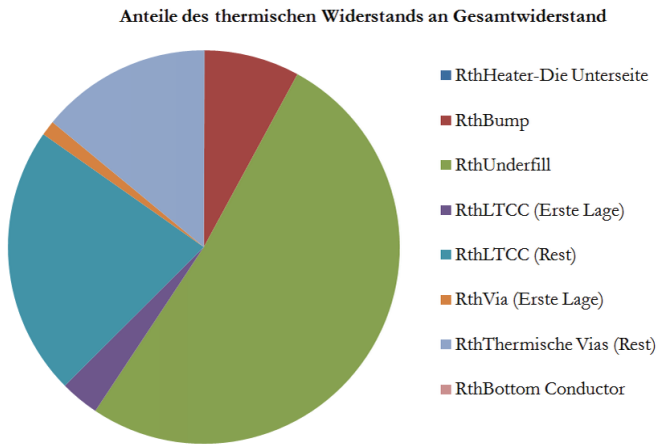


Abbildung 3.3.2: Aufschlüsselung des thermischen Widerstands nach dem Ersatzschaltbild für die Flip-Chip-Variante

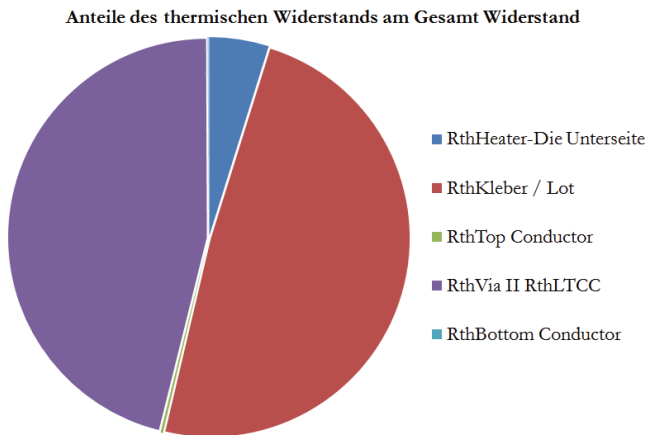


Abbildung 3.3.3: Aufschlüsselung des thermischen Widerstands nach dem Ersatzschaltbild für die COB-Variante.

3.4 Ermittlung thermischer Materialeigenschaften

Um die für die thermischen Simulationen notwendigen Materialdaten wie Temperatur, Leitfähigkeit und Wärmekapazität zu ermitteln, wurden beim Fraunhofer Institut für Fertigungstechnik und angewandte Materialforschung verschiedene Materialien mittels LF-Methode (Laser-Flash) analysiert. Die analysierten Materialien sind die von der EPCOS OHG benutzte LTCC-Keramik sowie Viafill-, Innenlagen- und Außenmetallisierungen. Als Alternative zu der LF-Methode kann auch das Wiedemann-Franz-Gesetz (siehe Kapitel 3.4.2) verwendet werden [WIE_1853] [MAR_2006].

3.4.1 Die Laser Flash (LF)-Methode

Bei der Laser-Flash-Methode wird eine Fläche der planparallelen Probe mit einem zeitlich kurzen Licht- oder Laser-Impuls erwärmt. Der zeitliche Temperaturanstieg wird dann auf der gegenüberliegenden Fläche mit Hilfe eines IR-Detektors (Infrarot) gemessen [BLU_2006] [NET_2005].

Um die Proben aus Dickschichtpasten herzustellen, sind folgende Schritte notwendig. Die Metallpasten werden 48 Stunden bei 150°C getrocknet, um die leichtflüchtigen Lösungsmittelanteile zu entfernen. Dabei entsteht ein harter, rissiger, trockener Kuchen, der aufgemahlen wird. Da das LTCC-Material bereits in Pulverform vorlag, waren die soeben beschriebenen Schritte allerdings nicht notwendig. Das Pulver wurde in einer Pelletpresse zu planparallelen Scheiben gepresst. Die circa 3mm dicken Scheiben wurden entsprechend dem LTCC-Standardprozess entkohlt und gesintert. Nach dem

Sintern lagen in Abhängigkeit des Schwindungsgrads Scheiben mit unterschiedlicher Dicke und unterschiedlichem Durchmesser vor. Die Scheiben wurden alle auf 12,7mm Durchmesser abgedreht und geschliffen (siehe Abbildung 3.4.1.1.). Der für die LF-Analyse wichtigste Parameter ist die Dichte. Die Dichte wird durch die Masse der Probe und das Volumen ermittelt. Zur Kontrolle wurde die Dichte der Proben eines Materials auch anhand des Archimedes-Prinzips (Gleichung 3.4.1.1.) ermittelt. Die Ergebnisse der Dichtemessung sind in der Tabelle 3.4.1.1. aufgeführt. Unmittelbar vor der Messung wurden die Proben mit Graphit beschichtet, um definierte Emissionskoeffizienten zu erzielen.

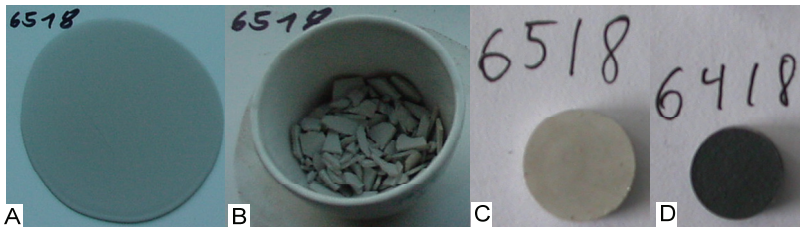


Abbildung 3.4.1.1: a: getrocknete Metallpaste b: aufgebrochene Metallpaste c: gepresste Scheibe d: gesinterte und beschichtete Probe.

Die Ergebnisse aus der LF-Analyse sind in der Tabelle 1 im Anhang zusammengefasst. Die Wärmeleitfähigkeit der Metallisierungen zeigt eine geringe Temperaturabhängigkeit, während die Wärmeleitfähigkeit des LTCC konstant über der Temperatur ist (siehe Abbildung 3.4.1.2.). Bei der Wärmekapazität verhält es sich umgekehrt. Hier ist die Wärmekapazität der LTCC temperaturabhängig und die der Metallisierungen konstant (siehe Abbildung 3.4.1.3.).

$$\rho_P = \frac{m_{P_{\text{Luft}}}(\rho_{\text{H}_2\text{O}} - k_1)}{g(m_{P_{\text{Luft}}} - m_{P_{\text{H}_2\text{O}}})} + k_2 \quad (\text{Gl. 3.4.1.1.})$$

ρ_P = Dichte der Probe

$m_{P_{\text{LUFT}}}$ = Masse der Probe in Luft

$\rho_{\text{H}_2\text{O}}$ = Dichte Wasser

$m_{P_{\text{H}_2\text{O}}}$ = Masse der Probe in Wasser

k_1 = Konstante 1 = 0,0012 g/cm³

k_2 = Konstante 2 = 0,99983 g/cm³

g = Erdanziehungskraft = 9,80665 m/s²

Material	Errechnete Dichte nach Masse/Volumen [g/cm ³]	Errechnete Dichte nach Archimedes-Prinzip [g/cm ³]
MKE 100	3,12 ± 0,009	3,12 ± 0,009
DP 6418	8,06 ± 0,031	8,09 ± 0,011
DP 6518	8,34 ± 0,022	8,33 ± 0,012
DP 6915	8,30 ± 0,033	8,32 ± 0,014
DP 7740	9,35 ± 0,024	9,34 ± 0,011

Tabelle 3.4.1.1: Ermittelte Dichten der verschiedenen Materialproben

Die Wärmeleitfähigkeit und die spezifische Wärmekapazität der LTCC-Keramik liegen bei 25°C bei 3,45 W/mK ± 0,173 respektive 0,75 J/gK ± 0,123. (Abbildung 3.4.1.4) Die Metallisierungen weisen eine Wärmeleitfähigkeit im Bereich von 200..270 W/mK und eine Wärmekapazität von circa 0,25 J/gK auf. (Abbildung 3.4.1.4)

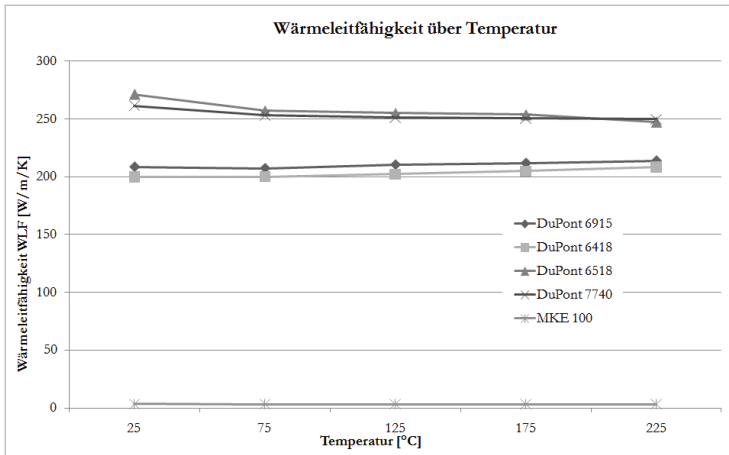


Abbildung 3.4.1.2: Wärmeleitfähigkeit [W/mK] in Abhängigkeit der Temperatur [°C]

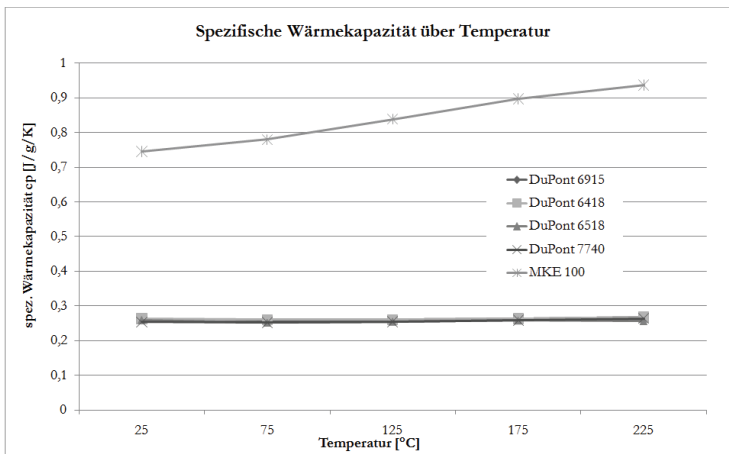


Abbildung 3.4.1.3: Spezifische Wärmekapazität [J/gK] in Abhängigkeit der Temperatur [°C]

Material	Thermische Leitfähigkeit [W/mK]
Silber	429
Kupfer	402
Aluminium	237
Silizium	150
LTCC	1,3..4,4
Thermal Underfill	0,1..2,1
Luft	0.0242
Lot SnAgCu	54
Kleber	0,2..2
Al ₂ O ₃	25..30

Tabelle 3.4.1.2: Übersicht der thermischen Leitfähigkeit verschiedener Materialien bei Raumtemperatur.

3.4.2 Wiedemann-Franz-Gesetz

Das Wiedemann-Franz-Gesetz besagt, dass die Leitfähigkeit der Metalle für Elektrizität und Wärme proportional sind und dass sie wahrscheinlich beide die gleiche Funktion und dieselbe Größe haben [WIE_1853]. Dies wird in der Gleichung 3.4.2.1 und 3.4.2.2 dargestellt.

Die mittels Laser-Flash ermittelte Wärmekapazität und Wärmeleitfähigkeit für silberhaltige Leitpasten und LTCC-Keramik decken sich gut mit den Ergebnissen des Wiedemann-Franz'schen Gesetzes und den angegebenen Literaturwerten für Silberpasten mit 120W/mK bis 300W/mK und für die LTCC mit 1,3W/mK bis 4,4W/mK [KIN_2001] [JAA_2003] [WIE_1853] [MAR_2006] [IMS_2001].

$$\frac{\lambda}{\sigma} = \frac{\pi^2}{3} \cdot \left(\frac{k_B}{e} \right)^2 \cdot T \quad (\text{Gl. 3.4.2.1})$$

$$L = \frac{\lambda}{\sigma \cdot T} = \frac{\pi^2}{3} \cdot \left(\frac{k_B}{e} \right)^2 = 2,44 \cdot 10^{-8} \text{ W}\Omega\text{K}^{-2} \quad (\text{Gl. 3.4.2.2})$$

λ = Wärmeleitfähigkeit

σ = elektrische Leitfähigkeit

π = Pi

k_B = Boltzmann-Konstante

e = Elementarladung

T = Temperatur (absolut)

L = Lorentz-Zahl

3.5 Messmethoden zur thermischen Modulcharakterisierung

3.5.1 Infrarot-Thermographie

Jeder Körper mit einer Temperatur höher als der absolute Nullpunkt strahlt in Abhängigkeit von seiner Temperatur elektromagnetische Strahlen ab. Diese elektromagnetische Strahlung kann zur kontaktlosen Ermittlung der Temperatur benutzt werden. Liegt die Oberflächentemperatur des Objektes unter 600°C, wird die Energie ausschließlich im infraroten Spektrum abgestrahlt. Das Infrarotspektrum wird wie folgt unterteilt:

nahes Infrarot	0,78-1,4μm
kurzwelliges Infrarot	1,4-3μm
mittleres Infrarot	3-15μm
fernes Infrarot	15-100μm

Für die Thermographie wird im Allgemeinen das mittlere und ferne Infrarotspektrum benutzt. In einer Thermokamera wird Infrarotenergie eines Messobjektes erfasst und in ein elektronisches Signal umgewandelt. Mit dem Planck'schen Strahlungsgesetz kann dann die Oberflächentemperatur errechnet werden (siehe Gleichung 3.5.1.1.).

$$M_T(\lambda) = \frac{2\pi bc^2}{\lambda_l^5} \left(\frac{bc}{\lambda_l k_B T} - 1 \right)^{-1} \quad (\text{Gl. 3.5.1.1})$$

M_T = emittierte spektrale Strahlungsin tensität

b = Plancksches Wirkungsquantum

c = Lichtgeschwindigkeit in Vakuum

λ_l = Wellenlänge

T = Plasmatemperatur

k_B = Boltzmann - Konstante

Um eine Messung durchführen zu können, müssen einige Informationen zum Messobjekt und zur Messumgebung vorliegen. Der Emissionskoeffizient, die

Umgebungsstrahlung und die Umgebungstemperatur müssen bekannt sein. Ausschlaggebend für die Messung ist der Emissionskoeffizient, der für jedes Material und dessen Oberflächencharakter unterschiedlich ist. Besonders problematisch ist die Messung, wenn das Messobjekt aus vielen unterschiedlichen Materialien aufgebaut ist. Dies ist bei einem Querschliff eines elektrischen Moduls in Allgemeinen der Fall. Hier sind Materialien wie Silber, Silizium, Glaskeramik, Lot und diverse Vergussmassen zusammengefügt. Als Abhilfe kann das gesamte Messobjekt mit einer elektrisch nichtleitenden Schicht abgedeckt werden. Dadurch werden die Emissionskoeffizienten angeglichen, aber die Schicht wirkt auch als ein zusätzlicher thermischer Isolator und verfälscht dadurch das Messergebnis. Sollte außerdem eine ungleichmäßige Dicke der Schicht entstehen, wird das Ergebnis ungleichmäßig verfälscht. Weiterhin gilt es, den Einfluss der Übertragungsstrecke für die elektromagnetische Strahlung zu berücksichtigen. Wasserdampf und Kohlendioxid in der Luft beeinflussen die elektromagnetische Strahlung und haben deshalb einen Einfluss auf das Messergebnis.

Der Vorteil der Infrarot-Messtechnik ist die berührungslose und flächenhafte Messung einer Temperatur. Zu den Nachteilen gehören die integrierende Wirkung der Detektoren, der Einfluss der Übertragungsstrecke der Strahlung (Einfluss von Wasserdampf und Kohlendioxid) und dass nur eine genaue Kenntnis des Emissionskoeffizienten eine korrekte Messung ermöglicht.

Die Thermographie kann folglich als ein Hilfsmittel in der Elektronikproduktion eingesetzt werden, um bei Messobjekten mit bekannten Emissionskoeffizienten gezielt Rückschlüsse auf Temperaturen und Temperaturverteilung zu ziehen. In dieser Arbeit wird die Infrarotmesstechnik

eingesetzt, um die Wärmeverteilung in dem Querschliff eines Flip-Chip-LTCC-Moduls zu veranschaulichen. [ISO_2009]

3.5.2 Temperaturmessung über NTC-Messfühler

Eine weitere Möglichkeit, thermische Eigenschaften des Moduls zu erfassen, besteht darin, einen NTC-Widerstand (Negative Temperature Coefficient) einzusetzen. Ein NTC ist ein aus Keramik gefertigter Heißleiter. Da der Widerstand dieser Bauelemente temperaturabhängig ist, ermöglichen sie eine Umrechnung von Widerstand zu Temperatur. Steigt die Temperatur, sinkt der Widerstand und der Strom steigt. Dabei ist die Kennlinie der Widerstands-Temperatur-Kennlinie erforderlich. Der Messaufbau beinhaltet zwei NTCs, wobei einer an den Halbleiter angelötet oder angeklebt wird. Dieser kann entweder als Heizer und gleichzeitig als Temperatursensor oder als reiner Temperatursensor funktionieren. Der andere NTC wird als Temperaturfühler an der Wärmesenke verwendet. Der Messaufbau ist in Abbildung 3.5.2.1 dargestellt. Der Hauptnachteil dieser Messmethode besteht darin, dass der NTC selber eine Wärmekapazität besitzt. Außerdem ist jedes TIM (Thermal Interface Material), hier der Kleber oder das Lot, der nah an der Wärmequelle ist, hinsichtlich der Reproduzierbarkeit der Dicke und dadurch der Messungen, als problematisch zu bewerten. Dieses Verfahren wird deshalb in dieser Arbeit nicht eingesetzt.

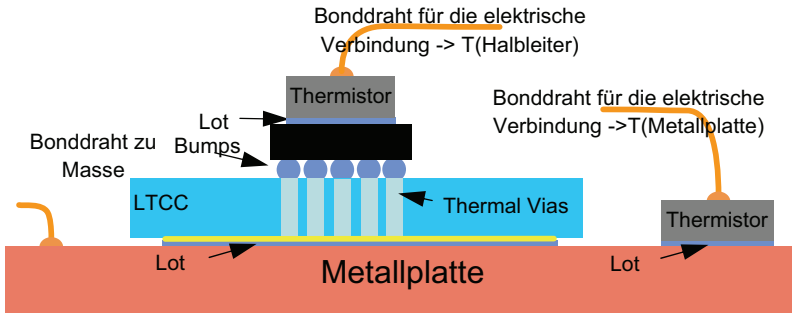


Abbildung 3.5.2.1: NTC-Messbeschreibung

3.5.3 "On Chip"-Dioden-Messung

Eine andere Möglichkeit, die Halbleiterübergangstemperatur und daraus den thermischen Widerstand eines Moduls zu ermitteln, sind Testhalbleiter mit integriertem Temperatursensor. Als Temperatursensor dient im Allgemeinen eine Diodenanordnung. Der Hauptnachteil dieser Methode ist, dass ggf. Sonderhalbleiter verwendet werden müssen. Es wäre wünschenswert, dass alle Halbleiterbauelemente, bei denen die Temperatur eine Rolle spielt, einen eingebauten Temperatursensor haben. Dagegen spricht, dass dieser Sensor zumindest zwei weitere Anschlüsse am Halbleiter erfordert. In dieser Arbeit kommen zwei Testhalbleiter von unterschiedlichen Herstellern zum Einsatz, zum einen der Delphi PST1 und zum anderen der Infineon G 423B. Der Chip von Delphi bietet neben dem integrierten Heizwiderstand drei unterschiedliche Diodenkombinationen zur Temperaturmessung in Halbleitern. Der Chip hat die Abmessungen 2,54mm x 2,54mm und eine Dicke von 254µm bis 300µm

und seine Bumps sind peripher angeordnet in einem Raster von $230\mu\text{m}$ (siehe Abbildung 3.5.3.1.). Der G 423B von Infineon ist modular aufgebaut bei einer minimalen Abmessung von $1\text{mm} \times 1\text{mm}$ und kann aus dem Wafer in vielfache Größen gesägt werden. Auch dieser Chip verfügt über einen integrierten Heizwiderstand, welcher eine frei wählbare Verlustleistung im Halbleitern freisetzen kann sowie über eine Diode, um die temperaturabhängige Diodenspannung zu ermitteln. Neben diesen Funktionen verfügt der Chip auch über eine Daisy Chain Struktur. Durch den modularen Aufbau eignet sich der Testchip nicht nur zur thermischen Charakterisierung, sondern auch für Zuverlässigkeitsstudien (siehe Abbildung 3.5.3.2.). Da die Diodenkennlinie vom Wafer-Herstellungsprozess und der Halbleiterdotierung abhängt, ist eine Kalibrierung für die unterschiedlichen Halbleiter notwendig. Die Vorgehensweise hierfür ist in Abschnitt 3.5.4 beschrieben.

Die "On Chip"-Dioden-Messung ist die Basis-Messmethode für die thermischen Untersuchungen dieser Arbeit.

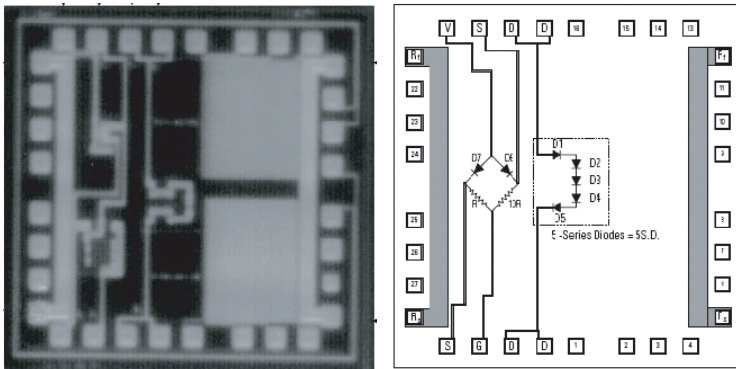


Abbildung 3.5.3.1: Delphi PST1 [DEL_2004]

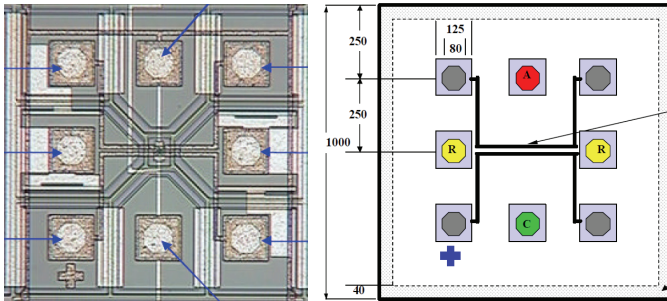


Abbildung: 3.5.3.2: Infineon G 423B [INF_2003]

3.5.4 Messprinzip für die Charakterisierung des thermischen Testhalbleiters

Zur Kalibrierung werden die Testhalbleiter auf dem LTCC-Substrat montiert. Damit entsprechen diese Muster dem Messaufbau. Das Substrat wird auf einen Metallträger (Messing oder Kupfer, 30mm x 15mm x 1mm) aufgelötet. Das Modul wird dann in eine Klimakammer mit konstanter Temperatur gelegt und die fünf Dioden (Delphi-Die) werden mit einem konstanten Strom von $100\mu\text{A}$ in Vorwärtsrichtung betrieben. Es wird die Diodenspannung in Abhängigkeit der Umgebungstemperatur gemessen. Die Temperatur wird für 120 Minuten konstant gehalten. In den letzten 30 Minuten wird die Diodenspannung alle 20 Sekunden gemessen und ein Mittelwert gebildet. Danach wird die Temperatur um 25K erhöht. Die Messung wird wiederholt. Insgesamt wurden die Testhalbleitern bei 5 Temperaturen zwischen 25°C und 125°C charakterisiert (siehe Abbildung 3.5.4.1 und Diagramm 3.5.4.2). Die so ermittelten Werte für den Delphi PST01 sind in der Tabelle 3.5.4.1 zusammengefasst.

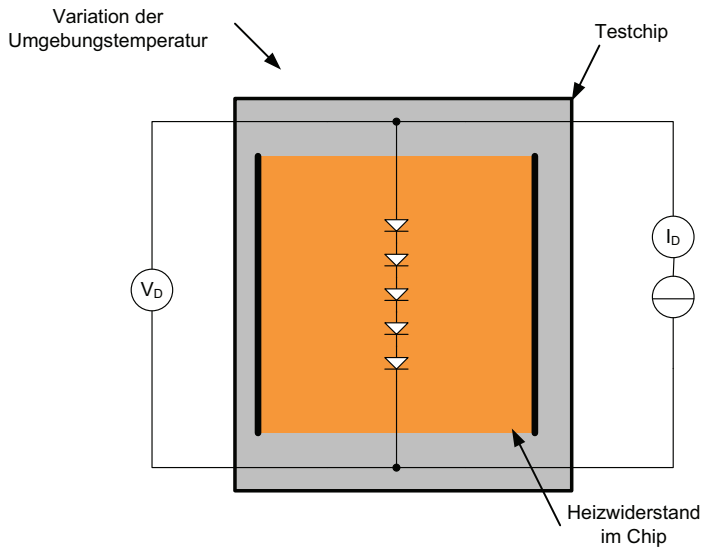


Abbildung 3.5.4.1: Schaltplan für die Charakterisierung des thermischen Testhalbleiters (Delphi-Die)

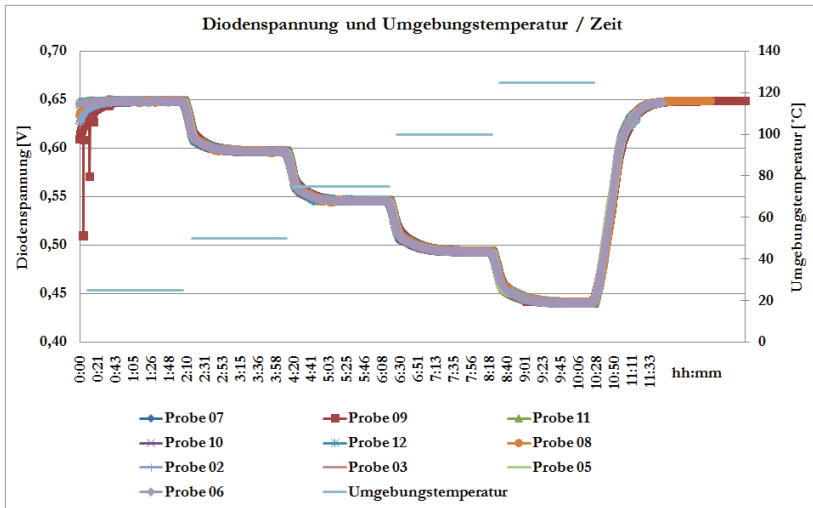


Abbildung 3.5.4.2 Zeitliche Aufzeichnung für die Umgebungstemperatur und die Diodenspannung zur Charakterisierung des thermischen Testhalbleiters

Umgebungstemperatur [°C]	Mittelwert Diodenspannung [V]	Standardabweichung der Diodenspannung
25	0,64857	0,00037
50	0,59689	0,00039
75	0,54578	0,00044
100	0,49355	0,00049
125	0,44062	0,00057

Tabelle 3.5.4.1: Übersicht der Messergebnisse für den Delphi PST01

Aus der Tabelle kann eine Ausgleichgerade erstellt werden, die der temperaturabhängigen Diodengleichung entspricht.

$$U_D = -0,00208 \cdot \vartheta_A + 0,70085 \quad (\text{Gl. 3.5.4.1})$$

$$\vartheta_M = \frac{U_D - 0,70085}{-0,00208} - \vartheta_A \quad (\text{Gl. 3.5.4.2})$$

U_D = Diodenspannung

ϑ_A = Umgebungstemperatur

ϑ_M = Errechnete Halbleitertemperatur

Um schwankende Halbleitereigenschaften auszuschließen, wurden zur Kalibrierung die zehn Proben aus unterschiedlichen Positionen des Wafers entnommen. Wie aus Abbildung 3.5.4.2 hervorgeht, zeigen die Proben keine nennenswerten Unterschiede.

3.5.5 Messprinzip für die Charakterisierung der Module

Durch die fünf Dioden wird ein konstanter Strom (I_D) von $100\mu\text{A}$ in Vorwärtsrichtung eingespeist. Nachdem die gewünschte Verlustleistung mit dem Heizstrom (I_H) und der Heizspannung (U_H) eingestellt wurde, kann die temperaturabhängige Diodenspannung (U_D) gemessen werden. Mit der gemessenen Diodenspannung kann dann mit Hilfe der Gleichung 3.5.4.2 die Temperatur im Halbleiter errechnet werden.

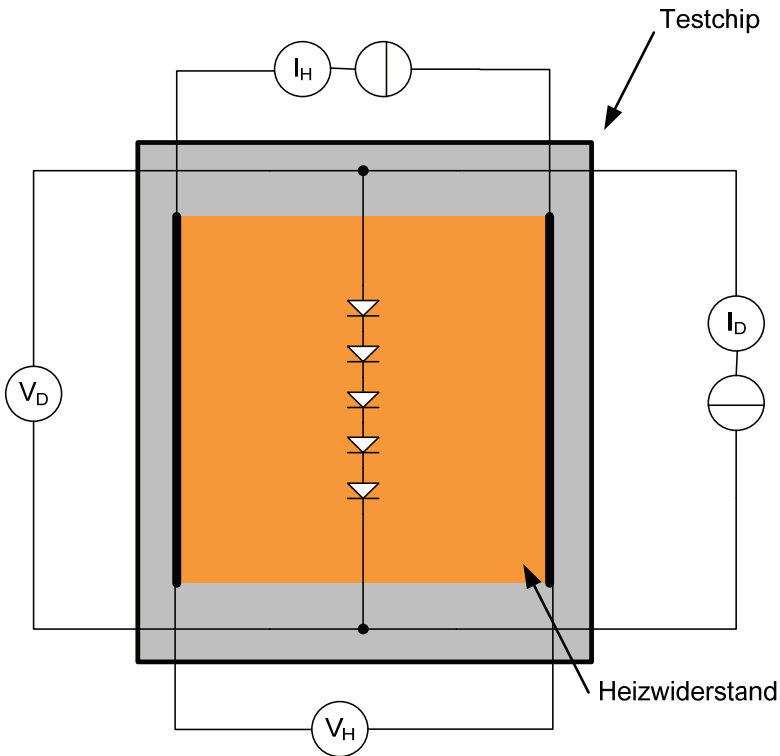


Abbildung 3.5.5.1: Schaltplan für die Charakterisierung der Module

3.5.6 Messaufbau

Wie in Abbildung 3.5.6.1 ersichtlich ist, werden die Proben anhand eines druckgeregelten pneumatischen Zylinders angepresst, sodass eine zuverlässige und konstante elektrische, mechanische und thermische Verbindung

gewährleistet ist. Da der gesamte Messaufbau in einer Klimakammer aufgebaut ist, kann eine konstante Umgebungstemperatur von $25^{\circ}\text{C} \pm 1\text{K}$ sichergestellt werden.

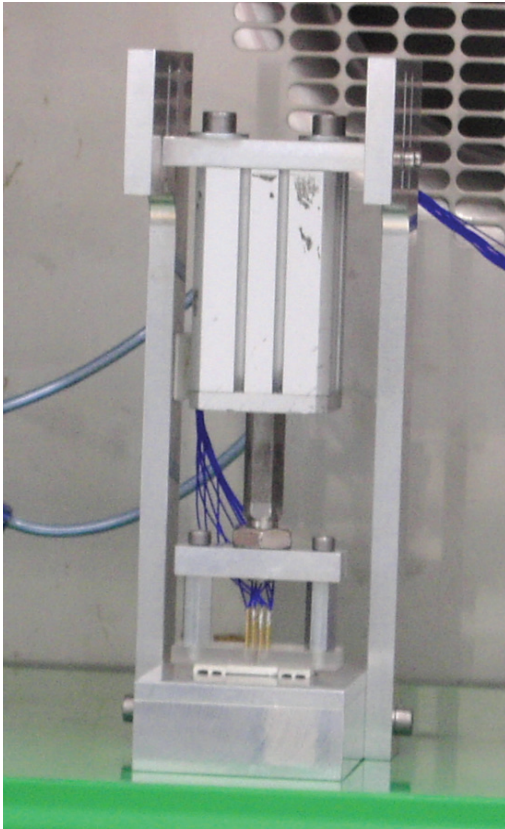


Abbildung 3.5.6.1: Messaufbau in der Klimakammer

Um die Erwärmung des Aluminiumblockes abzuschätzen, wurde eine Berechnung durchgeführt. Die Berechnung zeigt, dass die Erwärmung um 0,3K bei einer Verlustleistung von $P_v = 1W$ und ein Zeitraum von 2 Minuten ($\Delta t = 120s$) nur minimal sind. Die Kontrollrechnung vernachlässigt das Abkühlen des Aluminiumblockes durch die in der Klimakammer durch einen Ventilator erzwungene Konvektion. Die Strahlung wird ebenfalls vernachlässigt und dadurch ist die Berechnung als sehr konservativ einzuschätzen.

$$V_{Al-Block} = l \cdot b \cdot b = 60mm \cdot 100mm \cdot 30mm = 1,8 \cdot 10^{-4} m^3 \quad (Gl. 3.5.6.1)$$

$$m_{Al-Block} = V_{Al-Block} \cdot \rho_{Al} = 1,8 \cdot 10^{-4} m^3 \cdot 2,7 \frac{g}{cm^3} = 486 g \quad (Gl. 3.5.6.2)$$

$$m_{Al-Block} \cdot C_{Al} = 486 g \cdot 900 \frac{J}{kgK} = C_{Al-Block} = 437,4 \frac{J}{K} \quad (Gl. 3.5.6.3)$$

$$Q = \int P dt = C_{Al-Block} \cdot \Delta t \rightarrow \frac{P \cdot t}{C_{Al-Block}} = \frac{1W \cdot 120s}{437,4 \frac{K}{J}} = \Delta t_{(t=120s)} \approx 0,3K \quad (Gl. 3.5.6.4)$$

V = Volumen

l = Länge

b = Breite

h = Höhe

m = Masse

ρ = Dichte

C = spezifische Wärmekapazität

Q = Wärmemenge

P = Leistung

t = Zeit

Für die Berechnung der Temperaturerhöhung bei einer bestimmten Leistung und Einschaltzeit wird zuerst das Volumen des Aluminiumblockes berechnet. Danach wird die Masse über das Volumen, multipliziert mit der Dichte, errechnet. Dann wird die Wärmekapazität des Aluminiumblockes über die spezifische Wärmekapazität und die Masse ermittelt. Dann können die Erwärmung als Funktion der Verlustleistung, die Zeit und die Wärmekapazität errechnet werden.

Um das Einschaltverhalten und die daraus resultierende Messzeit des Moduls zu berechnen, werden ebenfalls das Volumen und die Masse des Substrats berechnet. Daraus ergibt sich die Wärmekapazität unter Berücksichtigung der spezifischen Wärmekapazität. Nun wird der thermische Widerstand des Substrats errechnet. Dafür wird die Dicke durch die thermische Leitfähigkeit und die Fläche dividiert. Um die Aufwärmzeit zu berechnen, wird der thermische Widerstand mit der Wärmekapazität multipliziert. Dies ergibt eine Zeitkonstante von 0,13 Sekunden. Nun wird für die 99%-Erwärmung die 5-fache Zeitkonstante gerechnet. Das Ergebnis liefert 0,65 Sekunden.

$$V_{Substrat} = l \cdot b \cdot h = 8\,mm \cdot 8\,mm \cdot 0,4\,mm = 2,56 \cdot 10^{-8} \,m^3 \quad (\text{Gl. 3.5.6.5})$$

$$m_{Substrat} = V_{Substrat} \cdot \rho_{LTCC} = 2,56 \cdot 10^{-8} \,m^3 \cdot 3,1 \frac{g}{cm^3} = 0,08 \,g \quad (\text{Gl. 3.5.6.6})$$

$$C_{Substrat} = m_{Substrat} \cdot c_{LTCC} = 0,08 \,g \cdot 800 \frac{J}{kgK} = 0,064 \frac{J}{K} \quad (\text{Gl. 3.5.6.7})$$

$$R_{th} = \frac{l}{\lambda \cdot A} = \frac{0,4\,mm}{3 \frac{W}{mK} \cdot 8\,mm \cdot 8\,mm} = 2,1 \frac{K}{W} \quad (\text{Gl. 3.5.6.8})$$

$$\tau_{Heiz} = R_{th} \cdot C_{Substrat} = 2,1 \frac{K}{W} \cdot 0,064 \frac{J}{K} = 0,13s \quad (\text{Gl. 3.5.6.9})$$

$$t_{99\%} = 5 \cdot \tau_{Heiz} = 0,65s \quad (\text{Gl. 3.5.6.10})$$

V = Volumen

l = Länge

b = Breite

h = Höhe

m = Masse

ρ = Dichte

c = spezifische Wärmekapazität

R_{th} = Wärmewiderstand

τ_{Heiz} = Aufheizkonstante

t = Zeit

3.5.7 Verifizierung des Messaufbaus

Um den Messaufbau zu verifizieren, wurden Proben mit unterschiedlichen Substratdicken gefertigt und gemessen. Die Ergebnisse aus den ersten Messungen waren, wie in Abbildung 3.5.7.1 ersichtlich, nicht plausibel. Die Ergebnisse zeigten nicht, wie zu erwarten, eine mit der Substratdicke stetig steigende Halbleitertemperatur. Mögliche Ursachen hierfür sind: Viaversatz, keine konstante Temperatur des Aluminiumblocks, schwankender thermischer Übergangswiderstand zwischen dem Modul und dem Aluminiumblock wegen a. nicht konstanten Anpressdrucks oder b. Topographie am LTCC-Modul oder als letzte Möglichkeit schwankende Halbleitereigenschaften.

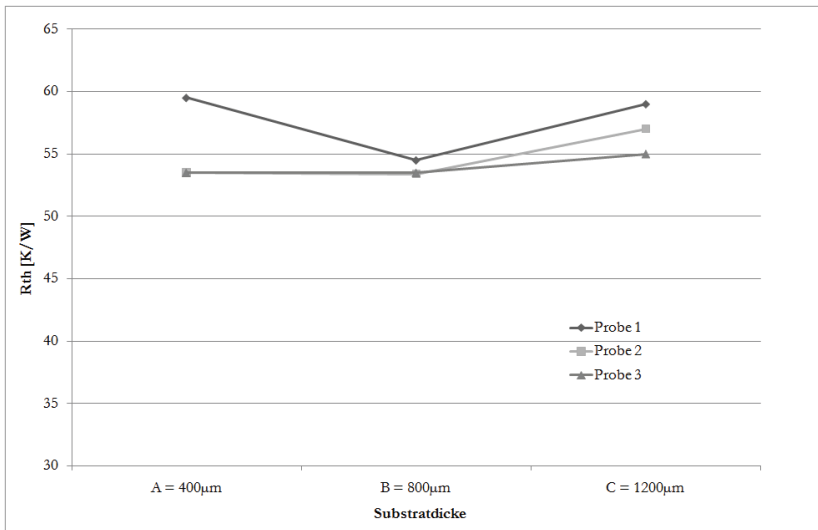


Abbildung 3.5.7.1: Ergebnis aus den ersten Messungen

Als Erstes wurden Querschliffe von den Modulen angefertigt, um mögliche Viaversätze zu erkennen. Wie in Abb. 3.5.7.2 ersichtlich, sind die Versätze minimal und die FE-Simulationen mit ANSYS zeigten nur bei sehr großen Versätzen eine nennenswerte Änderung des thermischen Widerstandes. (Abbildung 3.5.7.3) Hier wurde außerdem der Einfluss der Versatzposition simuliert. Es ist schlechter, einen Viaversatz nah an der Wärmequelle, als weiter weg zu haben. Um die Ergebnisse aus der FE-Simulation vergleichen zu können, wurden im Versuchsdesign gezielte Viaversätze hergestellt. Abbildung 3.5.7.4 zeigt einen Viaversatz von $80\mu\text{m}$.

Zusätzlich wurde ein Los mit Röntgen-Kontrollmuster für Viaversatz gefertigt (s. Abbildung 3.5.7.2., rechts). Das Fischgrätenmuster mit den Vias ermöglicht die Kontrolle des Lagenversatzes beim Laminieren und den Bedruckungsversatz nach dem Laminieren und Sintern, ohne dass aufwendige Querschliffe angefertigt werden müssen. Auch aus den Röntgenanalysen wurden keine bemerkenswerten Viaversätze erkannt. Folglich können die Viaversätze nicht die Ursache sein.

Um auch die zweite mögliche Ursache auszuschließen, wurde in den Aluminiumblock ein Temperaturfühler direkt unterhalb des Moduls montiert. Dadurch ist eine Temperaturkontrolle im Aluminiumblock möglich. Der zeitliche Verlauf der Temperatur in dem Aluminiumblock zeigte eine konstante Temperatur ($25^{\circ}\text{C} \pm 0,4^{\circ}\text{C}$), siehe auch Berechnungen in Kapitel 3.5.6.

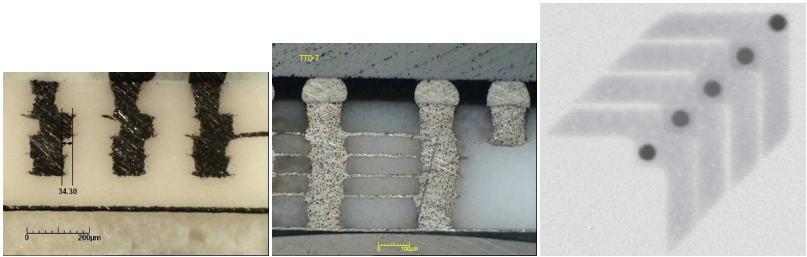


Abbildung 3.5.7.2: Querschliff verschiedener Module. Links: Ein Versatz von 35µm, Mitte: Kein Versatz. Rechts: Muster für die Versatzuntersuchungen mittels Röntgen

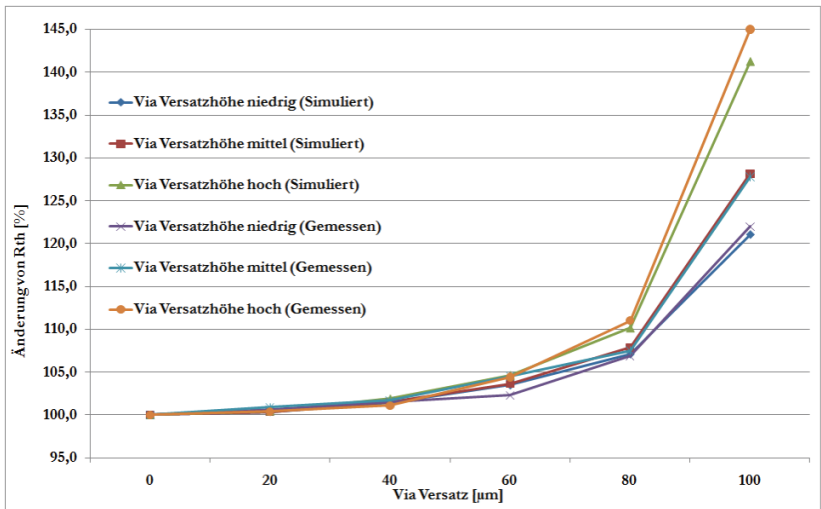


Abbildung 3.5.7.3: Ergebnisse aus der Simulation für die Viaversätze

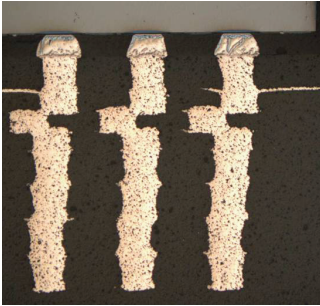


Abbildung 3.5.7.4: Versuchsdesign mit gezielten Viaversätzen

Um eine konstante Anpressung des Moduls am Aluminiumblock zu erreichen, sind drei gehärtete Stifte an einen druckgeregelten Pneumatikzylinder montiert. Eine Variation des Druckes über das Stellventil ergab nur sehr geringe Variationen der Halbleiter-Temperatur. Eine Änderung des Anpressdrucks zwischen 0,5 Bar und 4 Bar ergab nur 0,4K Unterschied.

Um die Topographie von der mit einem Land Grid Array (LGA) versehenen Unterseite des Moduls zu vermessen, wurde ein drei-dimensionales Messsystem der Fa. Nanofocus eingesetzt. Bei dem hier verwendeten Messgerät handelt es sich um eine μ Scan mit einem CF4-Sensor. Der CF4-Sensor hat eine Auflösung von $0,02\mu\text{m}$ in Z-Richtung und $1\mu\text{m}$ in X- und Y-Richtung [NAN_2006].

Die Vermessungen zeigen zum Teil eine große Verwölbung der Unterseite (siehe Abbildung 3.5.7.5.) teilweise bis zu $25\mu\text{m}$. Wenn dann ein Modul auf den Aluminiumblock gepresst wird, kann es zu keinem flächenmäßigen Wärmeübergang kommen, sondern nur zu einem punktuellen. Da aber der thermische Widerstand zu der reziproken Fläche im Verhältnis steht, ist dies

eine große Einflussgröße (siehe Gleichung 3.1.1.9). Zum weiteren Verständnis wurde eine FE-Simulation mit der Software von ANSYS angefertigt. Siehe Abbildung 3.5.7.6. Das Ergebnis kann in Abbildung 3.5.7.7 betrachtet werden. Bei der Simulation wurde zur Vereinfachung, die Topographie als kleiner werdende Kontaktfläche des Moduls zum Aluminiumblock bewerkstelligt.

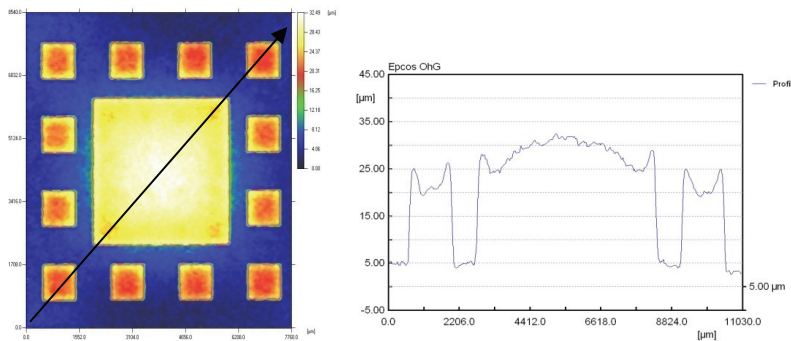


Abbildung 3.5.7.5: Dreidimensionale Messung der Oberfläche eines Moduls

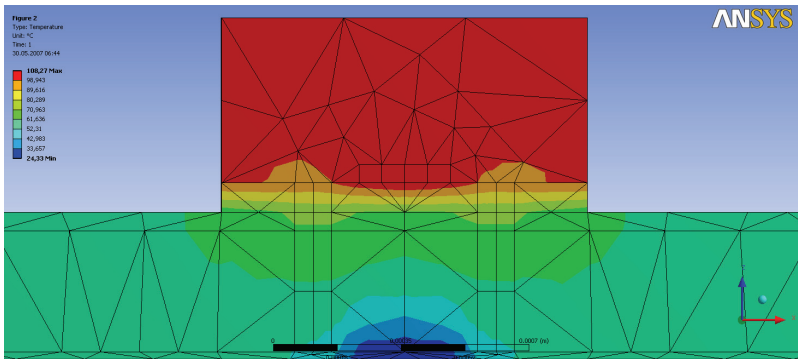


Abbildung 3.5.7.6: FE-Modell, um die Auswirkung einer Verwölbung zu untersuchen

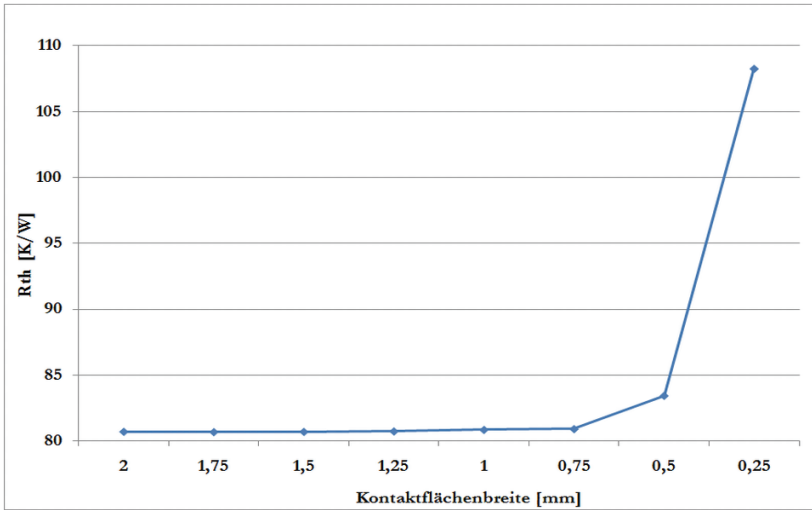


Abbildung 3.5.7.7: Ergebnisse aus der FE-Simulation zur Verwölbung der Module

Somit war eine Ursache für die nicht plausiblen Messwerte bei der zunehmenden LTCC-Substratdicke gefunden. Als Abhilfe wurde ein Messingplättchen angelötet. Eine Lotdicke von 75µm ergibt einen thermischen Widerstand von 0,12K/W. Wie in Abbildung 3.5.7.8 ersichtlich, wird die Messreihe dadurch plausibel.

$$R_{th} = \frac{l}{\lambda * A} = \frac{0,1mm}{54 \frac{W}{mK} * 4mm * 4mm} \approx 0,12 \frac{K}{W} \quad (Gl. 3.7.1)$$

R_{th} = Wärmewiderstand

λ = Wärmeleitfähigkeit

A = Fläche

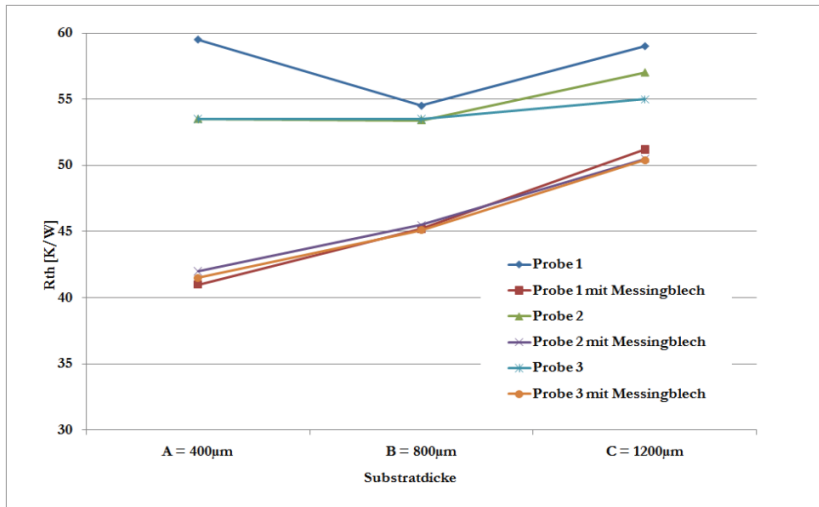


Abbildung 3.5.7.8: Ergebnisse aus den Messungen mit und ohne angelötetes Messingblech

Damit ist die Ursache für das nicht stetige Ansteigen der Temperatur bei zunehmender LTCC-Substratdicke gefunden und es wurde eine Möglichkeit gefunden, zuverlässig thermische Messungen durchzuführen.

3.5.8 Ablauf der automatisierten Messung

Die Messung erfolgt vollautomatisch mit Hilfe von vier Digitalmultimetern und einer Stromquelle. Das Messsystem ist in der graphischen Programmierungsumgebung von Agilent VEE erstellt worden. Hier werden die einzelnen Geräte über einen GPIB-Buss angesteuert. Zuerst wird die Diodenspannung bei ausgeschaltetem Heizwiderstand für 30 Sekunden im Sekundentakt gemessen und aus diesen 30 Messwerten wird der Mittelwert ermittelt. Die entsprechende Temperatur kann hieraus errechnet werden. Dann wird ein kleiner Heizstrom an den Heizwiderstand angelegt, sodass die Heizspannung gemessen werden kann. Aus dem Heizstrom und der Heizspannung wird der Heizwiderstand errechnet und daraus wiederum der für die gewünschte Verlustleistung erforderliche Heizstrom ermittelt. Des Weiteren werden ein angepasster Heizstrom eingespeist und die Heizleistung in einer Überwachungsschleife kontrolliert. Somit wird eine stabile Verlustleistung gewährleistet. Die Diodenspannung wird nach dem Einschwingen der Verlustleistung gemessen und es wird ein Mittelwert aus 15 Messwerten errechnet.

Wahlweise kann auch die Verlustleistung erhöht werden und somit kann die Baugruppe bei verschiedener Verlustleistung charakterisiert werden. Im Allgemeinen wurde die Baugruppe bei einer Verlustleistung von 1W charakterisiert. Daraus errechnet sich dann der thermische Widerstand durch die Gleichung:

$$R_{th} = \frac{\frac{U_D - 0,70085}{-0,00208} - T_A}{P_V} \quad (\text{Gl. 3.5.8.1})$$

U_D = Diodenspannung

T_A = Umgebungstemperatur

R_{th} = Wärmewiderstand

P_V = Verlustleistung

3.6 Thermische FE-Simulation

3.6.1 Theorie

Eine thermische Simulation mittels der Finiten-Elemente-Methode wird dann unerlässlich, wenn die Wärmeverteilung im Modul untersucht werden muss. Ein PAiD-Modul ist hierfür ein gutes Beispiel. Beim PAiD-Modul ist ein SAW-Duplexer neben dem Mobilfunk- Leistungsverstärker montiert. Da der SAW-Duplexer einen temperaturabhängigen Frequenzgang besitzt, ist der Bereich der Betriebstemperatur begrenzt.

Die Lösung $T(\vec{r}, t)$ der partiellen Differentialgleichung zur Wärmeleitung (Gl. 3.6.1.1) mit der Temperaturleitfähigkeit bildet die Temperatur für jeden Punkt im Raum \vec{r} zum Zeitpunkt t ab. Weil die analytische Lösung dieser Gleichung sehr aufwendig ist, wird oft die numerische Lösung mittels Finite-Elemente-Simulationen benutzt. Hierfür sind verschiedene Simulationsprogramme verfügbar. Die Firma EPCOS OHG arbeitet mit dem Softwarepaket von

ANSYS, welches für eine Vielzahl von physikalischen Aufgabenstellungen einsetzbar ist.

$$\frac{\partial T}{\partial t} = a \cdot \Delta T = a \left(\frac{\partial^2}{\partial x^2} + \frac{\partial^2}{\partial y^2} + \frac{\partial^2}{\partial z^2} \right) \quad \text{Gl. 3.6.1.1)}$$

$$a = \frac{\lambda}{\rho \cdot C} \quad (\text{Gl. 3.6.1.2})$$

T = Temperatur

t = Zeit

a = Temperaturleitfähigkeit

λ = Wärmeleitfähigkeit

ρ = Dichte

C = spezifische Wärmekapazität

Dabei wird die Temperaturverteilung des Objekts unter Berücksichtigung der Randbedingungen gelöst. Es können auch Wärmestrahlung, Wärmekonvektion und nichtlineares Verhalten, sofern notwendig, berücksichtigt werden. Die Genauigkeit der Simulation und die für die Lösung benötigte Rechenzeit sind eine Funktion der Netzfeinheit, also der Abstand zwischen den Punkten, für die die Temperatur im Objekt berechnet werden soll [GRO_2001] [MÜL_1999]. Bei abnehmender Netzfeinheit sinken die Genauigkeit und Rechenzeit. Hierbei gilt es, eine ausreichend feine Vernetzung zu finden, die sowohl den Anforderungen an die Rechenzeit als auch an die Genauigkeit gerecht wird. Für alle Simulationen wurde eine Verlustleistung von 1W benutzt. Damit ist die Differenz zwischen der minimalen Temperatur und der

maximalen Temperatur in den Simulationsbildern gleich dem thermischen Widerstand.

3.6.2 Einfluss des Modells auf Ergebnis und Rechenzeit

Um die Rechenzeit zu minimieren, können auch Details, die für das Gesamtergebnis nur eine vernachlässigbare Rolle spielen, in dem Modell entfernt werden. Ein Beispiel hierfür ist in den Abbildungen 3.6.2.1 und 3.6.2.2 dargestellt. Bei der Vernachlässigung der äußeren Topmetallisierungen entsteht ein Unterschied des thermischen Widerstands von 0,1%. Eine weitere Möglichkeit, die Rechenzeit und Rechenleistung zu minimieren, ist die Ausnutzung von Symmetrien. Die Abbildungen 3.6.2.3 bis 3.6.2.5 zeigen einen Vergleich zwischen dem Voll-, Halb- und Viertelmodell einer Baugruppe. Es zeigt sich, dass rund 45% der Rechenzeit für das Halbmodell und rund 30% für das Viertelmodell benötigt werden, um dasselbe Ergebnis zu erhalten (siehe Abbildung 3.6.2.6).

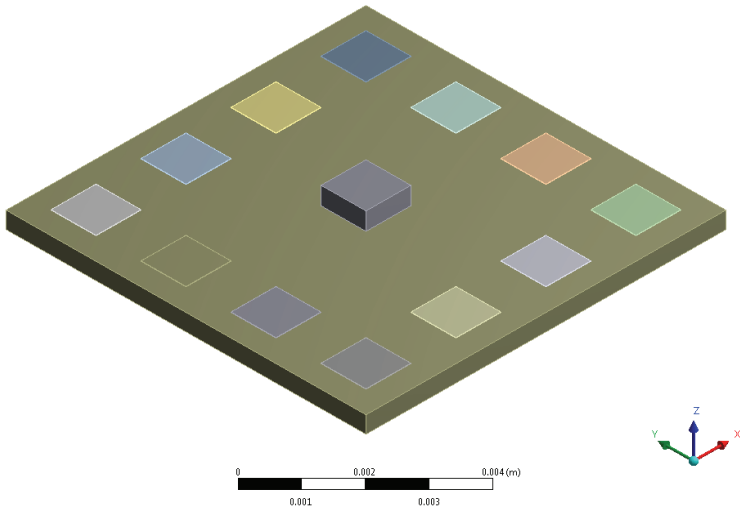


Abbildung 3.6.2.1: FE-Simulationsergebnis für das Modell mit Außenmetallisierung ergibt eine maximal Temperatur von $86,7^{\circ}\text{C}$.

Temperature
 Typ: Temperatur
 Einheit: °C
 Zeit: 1
 14.12.2008 20:30

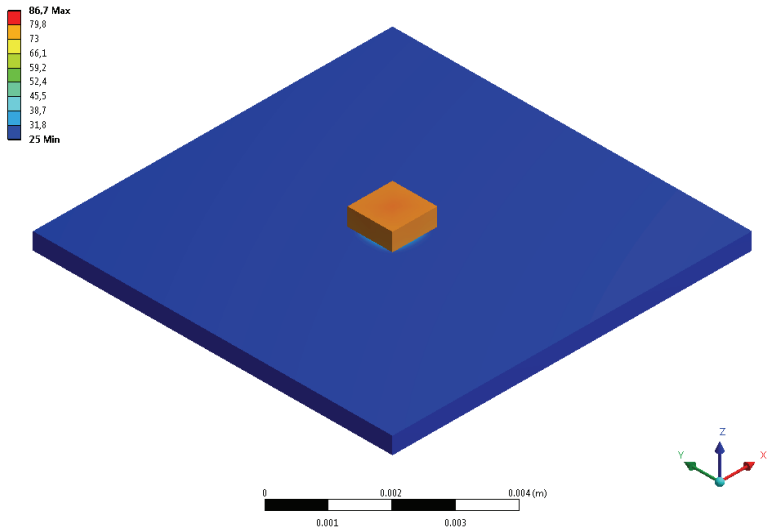


Abbildung 3.6.2.2: FE- Simulationsergebnis für das Modell ohne Außenmetallisierung

Temperature
Typ: Temperatur
Einheit: °C
Zeit: 1

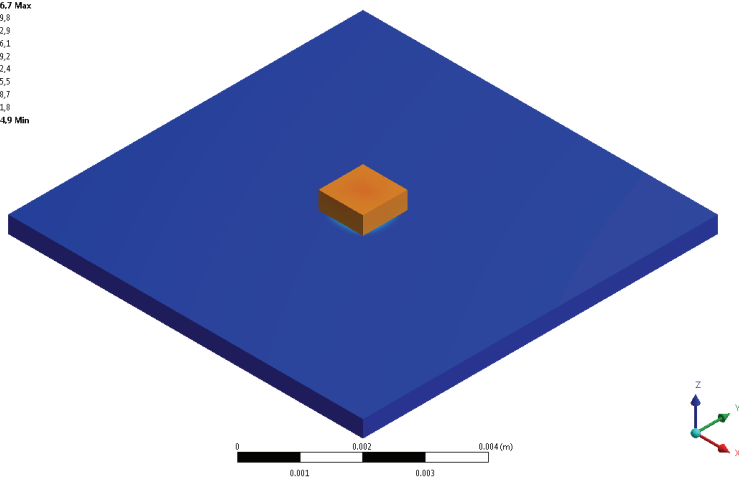
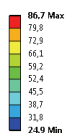


Abbildung 3.6.2.3: Ergebnis aus der FE-Simulation mit dem Vollmodell

Temperature
Typ: Temperatur
Einheit: °C
Zeit: 1

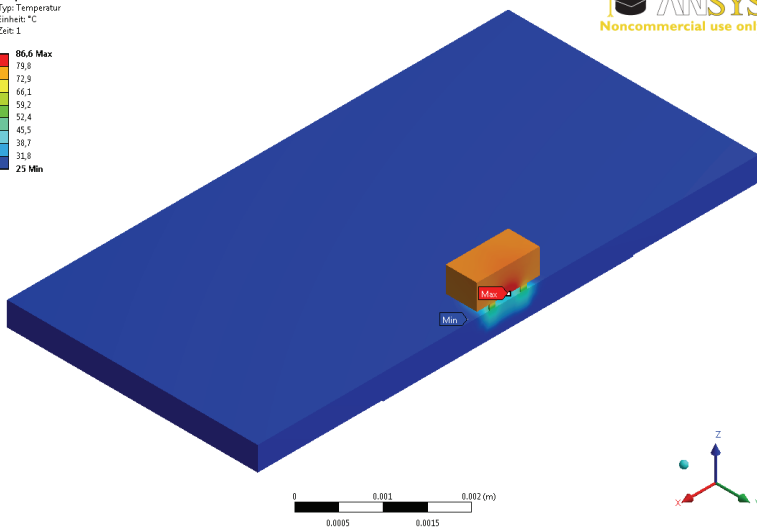
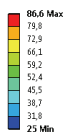


Abbildung 3.6.2.4: Ergebnis aus der FE-Simulation mit dem Halbmodell

Temperature
Typ: Temperatur
Einheit: °C
Zeit: 1

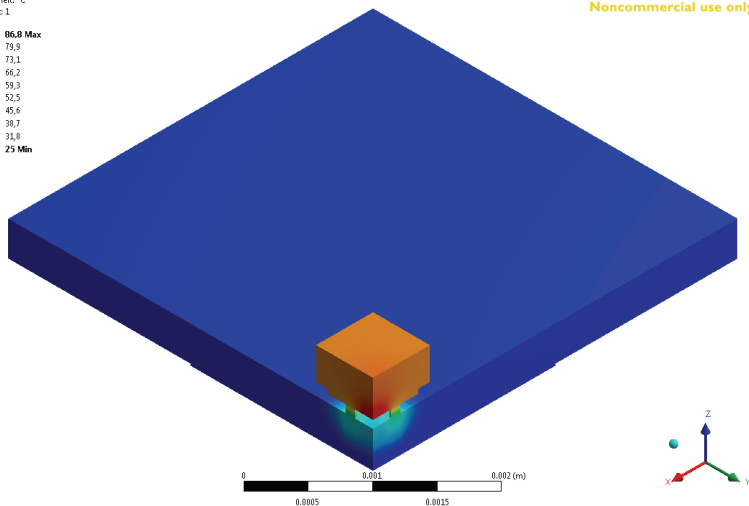
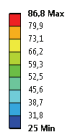


Abbildung 3.6.2.5: Ergebnis aus der FE-Simulation mit dem Viertelmodell

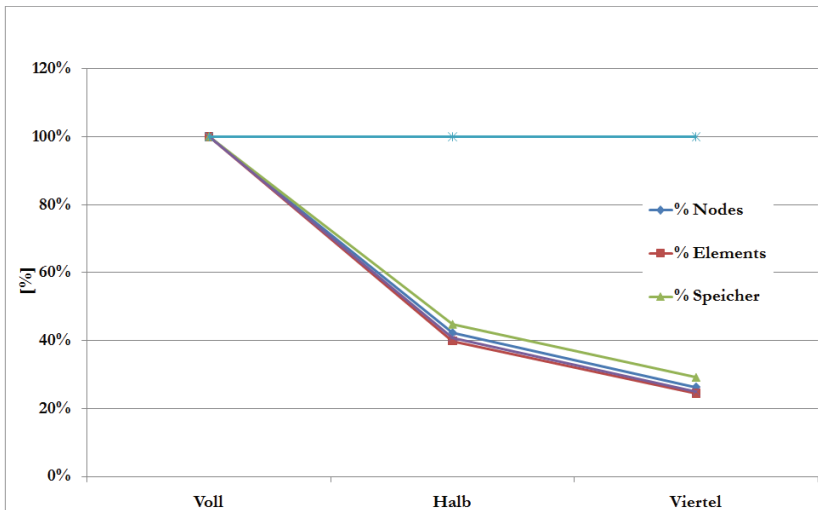


Abbildung 3.6.2.6: Gegenüberstellung der Ergebnisse aus der Simulation mit dem Voll-, Halb- und Viertelmodell

3.6.3 Einfluss des Netzes auf das Ergebnis

Um den Einfluss des Netzes zu überprüfen, wurden drei unterschiedliche Netze erstellt. Als Beispiel-Modell wurde das Standard-Design mit einem Delphi PST01 herangezogen (siehe Abbildung 3.6.3.1.). Zunächst wurde ein sehr grobes Netz ohne gemeinsame Knotenpunkte erzeugt. Durch nicht gemeinsame Knotenpunkte werden die Knoten mittels Kontaktelementen verbunden (siehe Abbildungen 3.6.3.2 und 3.6.3.3). Kontaktelemente sind mathematische Funktionen, die eine Beziehung zwischen Knoten herstellen. Sie können unter bestimmten Voraussetzungen zu falschen Ergebnissen führen und müssen deshalb immer gesondert untersucht werden. Als zweites wurde ein grobes Netz mit gemeinsamen Knoten erzeugt. Durch die

gemeinsamen Knoten werden keine Kontaktelemente benötigt (siehe Abbildungen 3.6.3.4 und 3.6.3.5). Ein durchgängiges Netz (d.h. ohne Kontaktelemente) kann in ANSYS erstellt werden, wenn alle Geometrien in einer Baugruppe zusammengefasst werden. Als dritte und letzte Netzvariante wurde ein feines Netz mit gemeinsamen Knoten erstellt. Das feine Netz hat auch bei der dünnsten Schicht mindestens drei Netzelemente. Drei Netzelemente gelten als Mindestanforderung für viele FE-Simulationsaufgaben (siehe Abbildungen 3.6.3.6 und 3.6.3.7). Bei dem feinen Netz waren mindestens drei Unterteilungen in jedem Material möglich. Dadurch steigt aber die Knotenanzahl massiv. Die Temperaturunterschiede der drei Netze waren sehr gering (nur 0,3K). Somit konnte mit den unterschiedlichsten Netzen gearbeitet werden; ausgewählt wurde das Netz mit gemeinsamen Knoten.

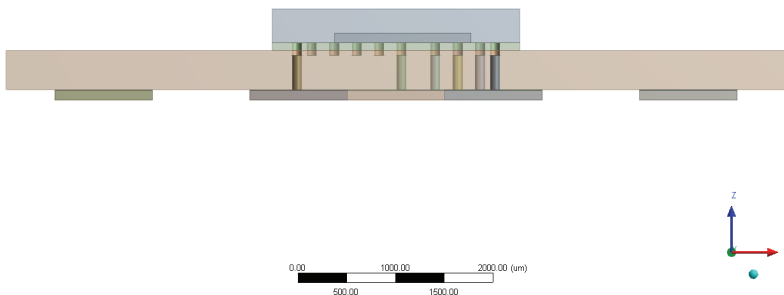


Abbildung 3.6.3.1: Übersicht des FE-Modells

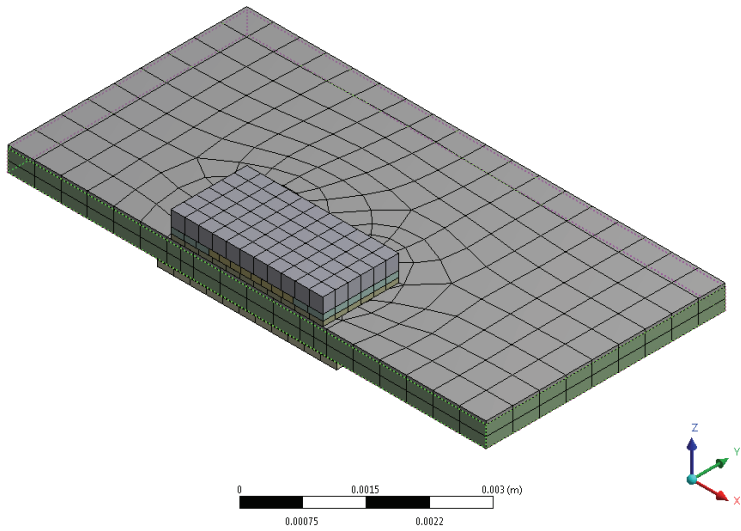


Abbildung 3.6.3.2: Übersicht eines sehr groben Netzes ohne gemeinsame Knoten

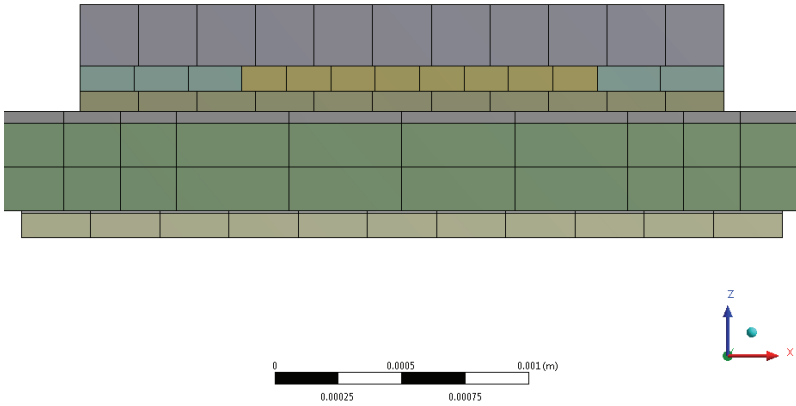


Abbildung 3.6.3.3: Detailansicht eines sehr groben Netzes ohne gemeinsame Knoten

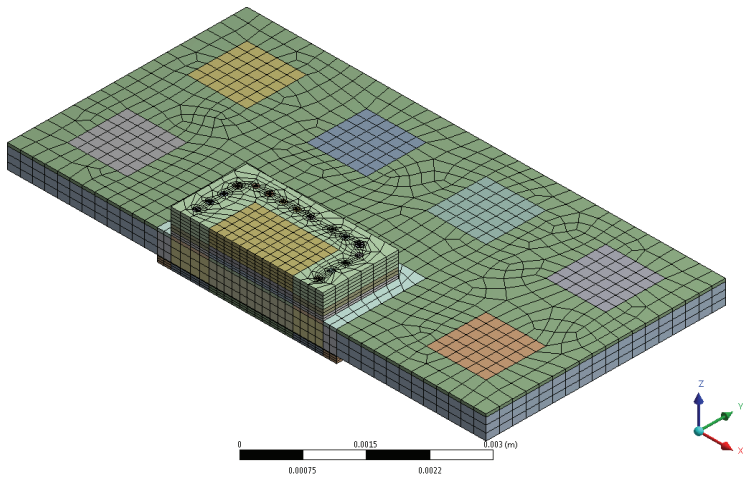


Abbildung 3.6.3.4: Übersicht eines groben Netzes mit gemeinsame Knoten

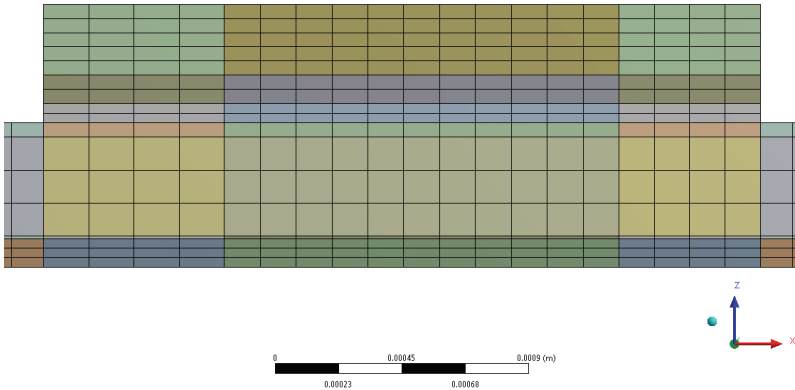


Abbildung 3.6.3.5: Detailansicht eines groben Netzes mit gemeinsame Knoten

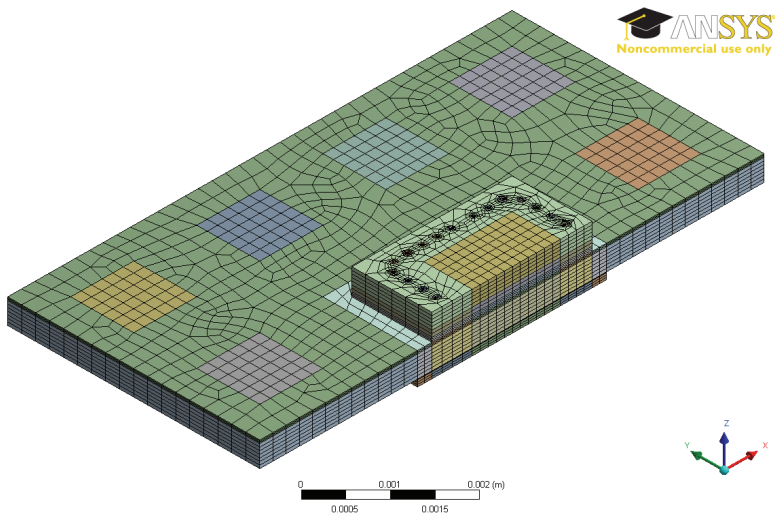


Abbildung 3.6.3.6: Übersicht eines feinen Netzes mit gemeinsame Knoten

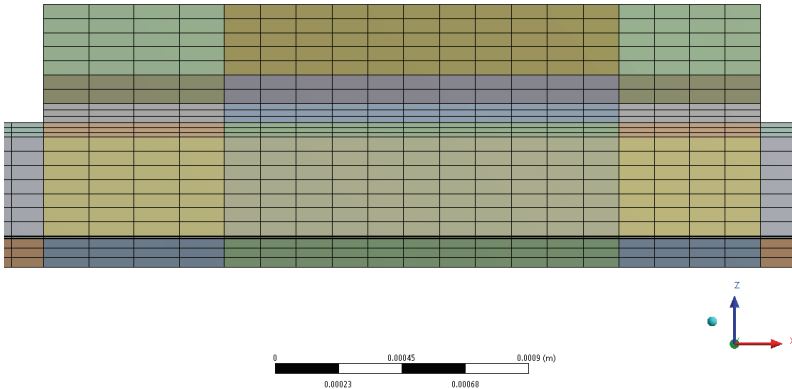


Abbildung 3.6.3.7: Detailansicht eines feinen Netzes mit gemeinsame Knoten.

3.6.4 Einfluss von Materialparametern

Neben der Problematik der zweckmäßig genauen Abbildung des Moduls bei der Modellierung ist die Hauptproblematik bei den thermische Simulationen, wie bei jeder Simulation, die Verfügbarkeit von korrekten Materialkennwerten. Nur für die wenigsten Materialien sind die Kennwerte und deren Gültigkeit verfügbar. Sind diese Kennwerte nicht verfügbar, müssen sie, wie in Kapitel 3.5 dargestellt, ermittelt werden. Als Beispiel wurde der Einfluss von Underfills

simuliert. Es wurde eine Varianz von $\pm 15\%$ der Herstellerangabe herangezogen. Das Ergebnis unterschied sich um 3%.

3.7 Design und Herstellung in klassischer Aufbautechnologie

In die bei der EPCOS OHG standardmäßig eingesetzte LTCC-Technologie können sowohl thermisch genutzte Durchkontaktierungen (Vias) als auch horizontale Metallschichten, welche als Wärmespreizer dienen, realisiert werden. Diese beide Methoden bilden zusammen mit der Wahl des Underfill- und Bump-Materials und der Variation der LTCC-Substratdicke die Versuchsmatrix für den ersten Teil der Arbeit, wobei die von EPCOS OHG momentan eingesetzte LTCC-Technologie die Rahmenbedingungen bildet. Eine Übersicht der verschiedenen Designvarianten ist in Tabelle 3.7.1 sichtbar. Die neun zusätzlichen thermischen Vias in der Mitte der Schaltung sind nicht mittels Bumps an den Halbleiter angeschlossen, weil sich hier der aktive Teil des Halbleiters befindet (Abbildung 3.7.1, Design 2 und Design 4). In Abbildung 3.7.1 (Design 3 und Design 4) sind die Wärmespreizer zu sehen. Tabelle 3.7.2 bietet eine Übersicht der Versuchsparameter [NOR_2007_1] [NOR_2007_2].

Es wurden zwei verschiedene Underfiller untersucht, einerseits der von EPCOS standardmäßig eingesetzte Underfill von Nagase (T693 / R3310), andererseits der Underfill von Namics (XS8449-9). Die Underfiller von Nagase und Namics haben laut Herstellerangaben eine Wärmeleitfähigkeit von 0,4W/mK beziehungsweise 1,2W/mK. [NAM_2006].

hermisches Design	Zusätzliche thermische Vias	Wärmespreizer
0	Nur elektrische Verbindung in die erste Lage → Keine thermischen Vias oder Heatspreader	
1	Nein	Nein
2	Ja	Nein
3	Nein	Ja
4	Ja	Ja

Tabelle 3.7.1: Übersicht der verschiedenen Designs

Parameter	
Substratdicke	A = 400µm, B = 800µm und C = 1200µm
Underfill	0 = Kein, 1 = Nagase (T693 / R3310) und 2 = Namics (XS8449-9)
Bump-Material	S = SnAgCu und C = Cu-Säulen mit SnAg-Kappe

Tabelle 3.7.2: Übersicht der verschiedenen Parameter

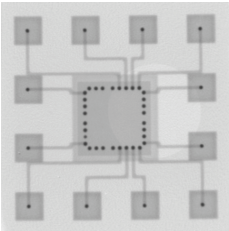
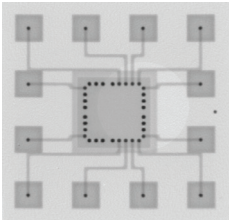
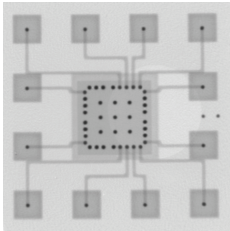
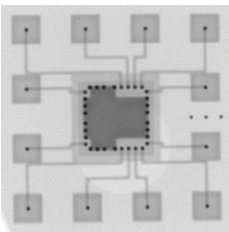
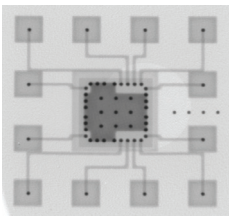
		
Design 0	Design 1	Design 2
		
Design 3	Design 4	

Abbildung 3.7.1: Übersicht der unterschiedlichen Designs (Röntgenaufnahmen)

Abbildung 3.7.2 zeigt eine 3D-Darstellung aus der Design Software Sonnet EM. Hier sind deutlich die Wärmespreizer und die thermischen Vias zu sehen.

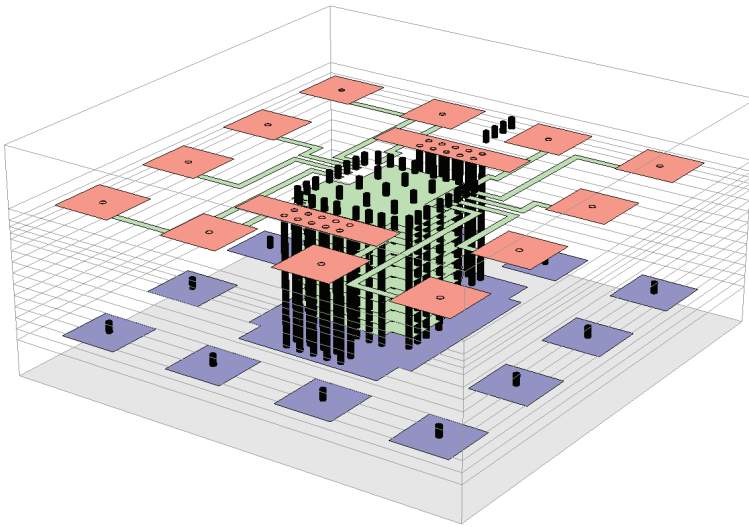


Abbildung 3.7.2: Design 4 in einer Sonnet 3D-Darstellung

3.8 Thermische Simulation und Charakterisierung von konventionelle Flip-Chip-Packages

Mit optimiertem Messaufbau und Messsoftware wurden die in Kapitel 3.7 beschriebenen Aufbauten und Proben vermessen. Es wurden zehn Proben je Variante vermessen, um eine gewisse Streuung der Herstellung zu charakterisieren. Außerdem wurden zwei identische Setups in zwei Fertigungslosen erfasst [NOR_2008_1] [NOR_2008_2].

3.8.1 Einfluss der Substratdicke

Nachdem Messaufbau und Messprinzip überprüft waren, wurde als erstes der Einfluss der LTCC-Substratdicke untersucht. Wie in dem Boxplot ersichtlich ist, ist die Halbleiter-temperatur und somit auch der thermische Widerstand (R_{th}) direkt proportional zur Substratdicke. Die Ergebnisse sind in Abbildung 3.8.1.1 dargestellt.

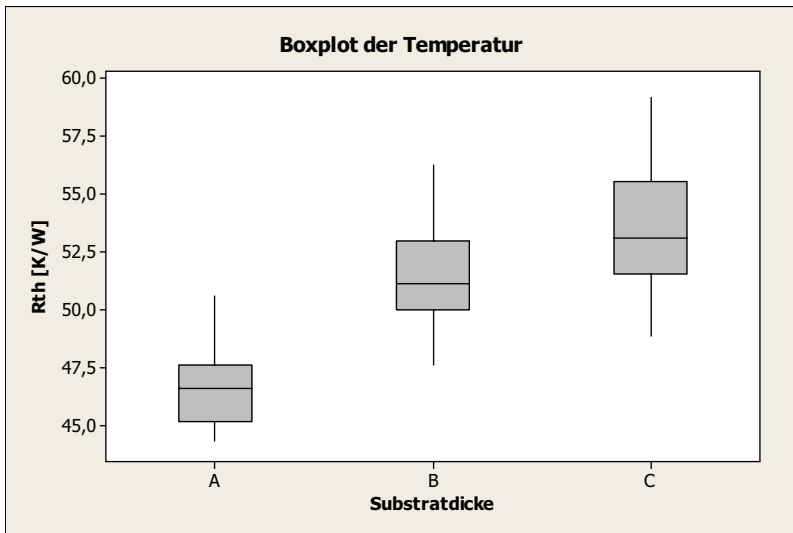


Abbildung 3.8.1.1: Messergebnisse der Halbleitertemperatur in Abhängigkeit der LTCC-Substratdicke.

3.8.2 Einfluss des Underfills

Der Underfill dient als mechanischer und chemischer Schutz für die Flip-Chip-Verbindungen und erfüllt auch eine thermische Funktion. Der thermische Einfluss von Underfills ist positiv, obwohl sie bei den hier untersuchten Materialien keine signifikanten Unterschiede ausmachten (siehe Abbildung 3.8.1.2).

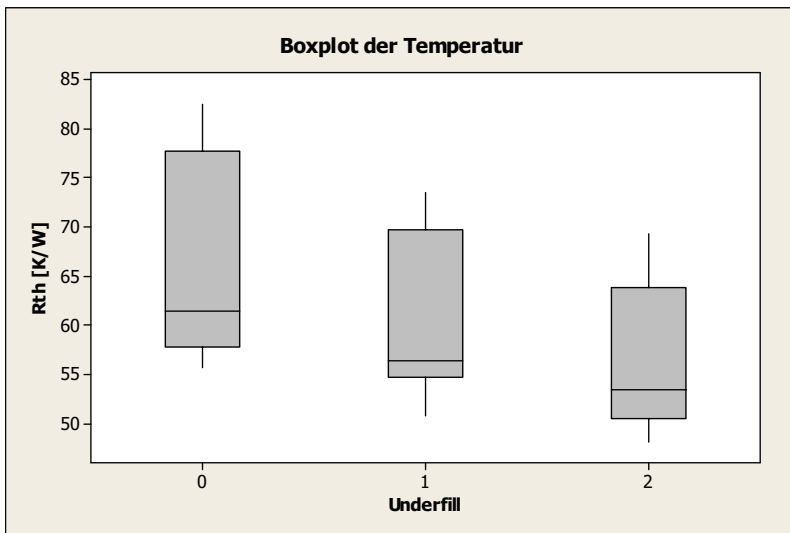


Abbildung 3.8.1.2: Einfluss von Underfill auf den thermischen Widerstand. 0 = Kein Underfill, 1 = Nagase T693 / R3310 und 2 = Namics XS8449-9

3.8.3 Einfluss des Bump-Materials

Die zwei verwendeten Bump-Materialien, die hier untersucht wurden, sind einerseits eine Standard-Zinn-Silber-Kupfer-Legierung und andererseits eine Kupfersäule mit Zinn-Silber-Lot. Das Standardlot besteht aus 95,75% Zinn, 3,5% Silber und 0,75% Kupfer. Der Einfluss des Bump-Materials ist nach der Auswertung der Messungen als signifikant zu bezeichnen. Die Kupfersäulen mit Zinn-Silber-Lot ergeben eine deutlich niedrigere Halbleiterübergangstemperatur (siehe Abbildung 3.8.1.3).

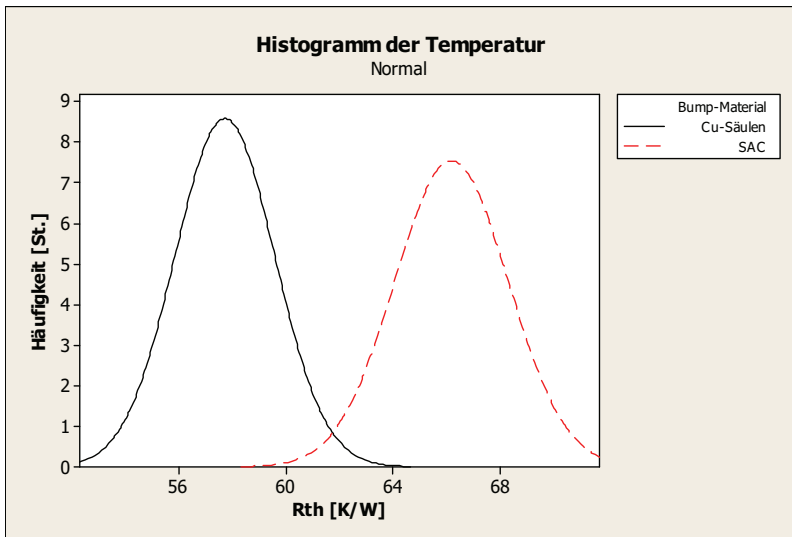


Abbildung 3.8.1.3: Einfluss des Bump-Materials auf die Halbleiterübergangstemperatur.

3.8.4 Einfluss des Designs

In dem Boxplot in Abbildung 3.8.1.4 ist ersichtlich, dass es einen signifikanten Unterschied ergibt, ob ein thermisches Management mittels thermischen Vias oder Wärmespreizer eingesetzt wird oder nicht. Dabei ist der Unterschied der Designs eins bis vier eher gering. Das gleiche Ergebnis liefern die FE-Simulationen der unterschiedlichen Designs (siehe Abbildung 3.8.1.5).

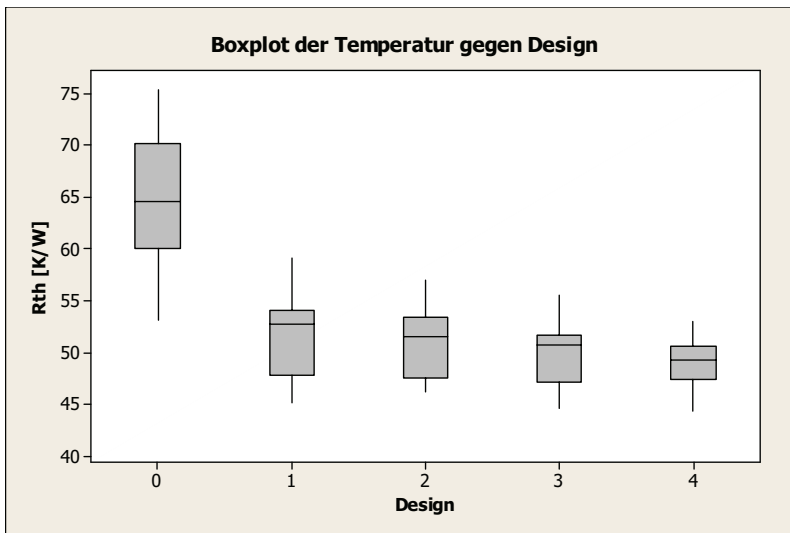


Abbildung 3.8.1.4: Boxplot der Halbleiter-Übergangstemperatur in Abhängigkeit des Designs

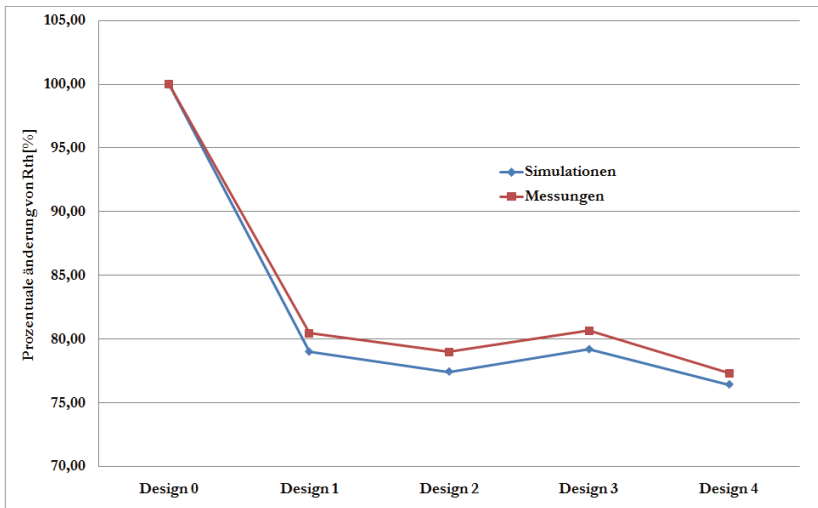


Abbildung 3.8.1.5: Vergleich zwischen Messung und FE-Simulationen (normiert)

3.8.5. Einfluss von Fertigungslosen

Um den Einfluss von Fertigungstoleranzen zu erfassen, wurden in einem zeitlichen Abstand von vier Monaten zwei identische Lose gefertigt. Beide Lose wurden dann zeitnah gemessen und ausgewertet. Wie in Abbildung 3.8.1.6 zu sehen, ist der Unterschied der beide Lose mit nur 2K sehr gering [NOR_2008_3]. In dieser Abbildung sind alle Designvarianten zusammengefasst, um die Losstreuung zu erfassen.

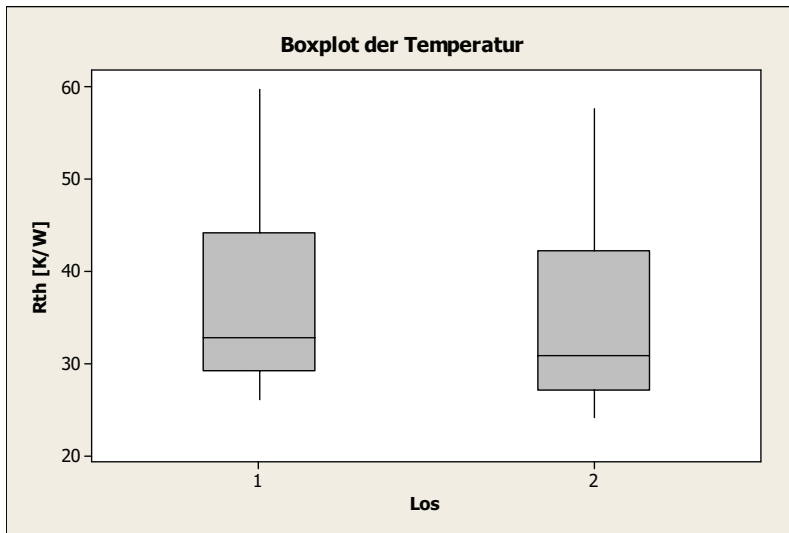


Abbildung 3.8.1.6: Vergleich der beide Fertigungslose mit alle Designvarianten.

3.9 Design und Herstellung der Proben für verbessertes thermisches Management

In Kapitel 3.7 und 3.8 wurden traditionelle und an die von der EPCOS OHG momentan eingesetzte LTCC-Technologie angepasste Möglichkeiten zur Entwärmung charakterisiert.

Um die Entwärmung der verschiedenen Module für noch höhere Leistungen zu ermöglichen, sind neue Designansätze und Materialien erforderlich. In diesem Kapitel werden auch Designs, Materialien und Prozesse untersucht, welche noch nicht den Anforderungen seitens EPCOS hinsichtlich der Massenfertigung und Kosteneffektivität entsprechen. Es werden u.a. drei-dimensionale Teststrukturen benutzt. Die Herstellung der drei-dimensionalen Teststrukturen erfolgte teilweise in Zusammenarbeit mit dem ZIK "Zentrum für Innovationskompetenz" MacroNano® an der TU Ilmenau. Das ZIK MacroNano® verfügt über Erfahrung, die erforderlichen Materialien und die Laboreinrichtungen, um anspruchsvolle, drei-dimensionale LTCC-Module herzustellen. Die in dieser Arbeit untersuchten drei-dimensionalen Module wurden mit dem Materialset 951 von DuPont in der freien Schrumpfungstechnologie hergestellt.

3.9.1 LTCC Flip Chip-Modul mit aufgelötetem Wärmespreizer

Das erste Modul in diesem Kapitel mit verbesserten thermischen Eigenschaften ist ein Modul, das auf dem bekannten EPCOS LTCC-Material aufgebaut wurde. Hierbei handelt es sich um ein Standard Flip-Chip-LTCC-

Modul mit zusätzlichem Wärmespreizer. Der zusätzliche Wärmespreizer ist ein aus 200µm dickem Kupferblech gefertigter Bügel, welcher an der Halbleiterrückseite und an den zusätzlichen thermischen Vias, die an zwei Seiten des Halbleitereinbauplatzes positioniert sind, angelötet wird (siehe Abbildung 3.9.1.1). Es ist im Bild zu erkennen, wie schief der Wärmespreizer angelötet ist. Die Schiefelage ist auf die Fertigungstoleranzen beim manuellen Herstellungsprozess des Wärmespreizers zurückzuführen. Durch die großflächige Verlotung des Wärmespreizers an den Halbleiter wird ein geringer thermischer Widerstand ermöglicht. Der massive Wärmespreizer funktioniert zusätzlich als eine Wärmekapazität.

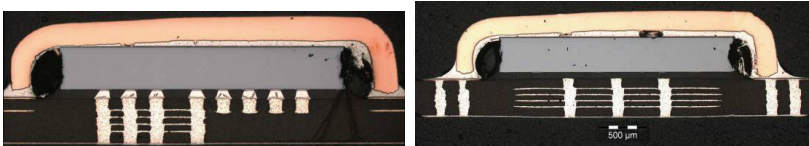


Abbildung 3.9.1.1: Standard Flip-Chip-LTCC-Modul mit zusätzlichem Wärmespreizer im Querschliff

Die Nachteile dieser Lösung sind die zusätzliche Bauhöhe und der Platzbedarf neben dem Halbleiter, die der Wärmespreizer verursacht.

3.9.2 FC CSSP LTCC Package

Das Design eines FC CSSP LTCC Packages (Chip Scale Saw Package) baut auf einem normalen Flip Chip LTCC-Design aus dem Kapitel 3.7 auf. Es wurden lediglich zusätzliche Vias rechts und links neben den FC-Einbauplatz eingebaut. Diese Vias sind rein thermischer Art, können aber auch als Masse funktionieren, sollte dies erforderlich sein. Nach der standardmäßigen Flip Chip-Montage und dem Underfill-Prozess wird ein Dünnschicht-Prozess hinzugefügt. Die Proben werden zuerst gereinigt. Dies erfolgt mittels Plasmaätzen. Anschließend werden die Proben mittels Kathodenzerstäubung mit einer 100nm dicken Chromschicht beschichtet. Nach dem Abscheiden der Chromschicht wird eine um 200nm dickere Nickelschicht hinzugefügt. Das Sputtern erfolgt wahlweise durch eine Maske, um eine Strukturierung der Schicht zu ermöglichen. Nach dem Sputtern wird nun eine dünne Schicht Kupfer chemisch abgeschieden. Das dünne Kupfer wird dann in einem elektrochemischen Prozess auf 15µm verstärkt. Durch die Verstärkung der Metallschicht kann eine deutliche Verbesserung des Wärmetransports ermöglicht werden.

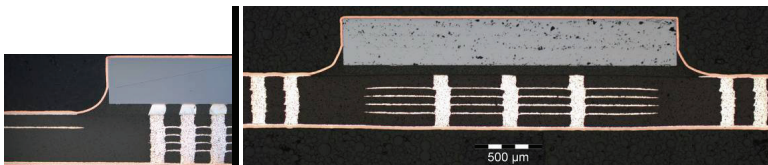


Abbildung 3.9.2.1: FC CSSP LTCC-Package im Querschliff

Diese Lösung hat ebenfalls den Flächennachteil, des in Kapitel 3.9.1 beschriebenen Wärmespreizers. Als Vorteil kann die geringe Bauhöhe gewertet werden.

3.9.3 FC Cavity Up LTCC Heatspreader Package

Die Basis für das FC-Cavity Up LTCC Heatspreader Package Design bildet eine aufwendige Stufen-Cavity. Im unteren Teil der Cavity befindet sich der Flip-Chip-Einbauplatz und im oberen Teil wird ein Wärmeableitblech montiert (siehe Abbildung 3.9.3.1). Der LTCC-Herstellungsprozess für die LTCC-Substrate mit einer Cavity unterscheidet sich deutlich von dem in Kapitel 2.2 beschriebenen EPCOS- Standardverfahren. Die Unterschiede bestehen zum einen darin, dass der LTCC-Stapel in Teillaminaten gefertigt wird. Die Teillamine ermöglichen eine verbesserte Kantengenauigkeit der Cavity. Außerdem wird die LTCC in einer Schrumpftechnologie gefertigt. Zu den Vorteilen zählen der Wegfall von mehreren Prozessschritten und die Spannungsfreiheit beim Sintern. Zu den Nachteilen zählen der X-Y-Schwund, der einen Verlust der Substratfläche mit sich führt, und die verschlechterte Maßhaltigkeit (Schrumpfungstoleranzen).

Nach dem Standard Flip-Chip-Bestückprozess mit der anschließenden Underfill-Dosierung werden in der Cavity zwei Lötformteile platziert. Der Lotring wird auf dem Cavity-Absatz und das Plättchen auf dem Halbleiter platziert. Die Lötformteile wurden aus einem Lotband mittels Laser herausgeschnitten. Nachdem die Lötteile platziert sind, wird das Wärmeableitblech daraufgelegt (siehe Abbildung 3.9.3.2). Anschließend wird

das Wärmeableitblech flussmittelfrei in einem Vakuumlötofen verlötet. Um flussmittelfrei löten zu können, wird der Lötofen mit gasförmiger Methansäure gespült. Die Methansäure ersetzt das Flussmittel im Lot und beseitigt gleichwohl organische Verunreinigungen und Oxide. Nachdem die Kammer für einige Zeit mit der Methansäure gespült wurde, wird der Ofen mit Stickstoff gespült und anschließend evakuiert, um weitestgehend lunkerfrei löten zu können. Der zeitliche Verlauf der Ofenparameter sind in der Abbildung 3.9.3.3 und die Tabelle 3.9.3.1 zu sehen.

Trotz des aufwendigen Lötverfahrens konnten die Proben nicht immer lunkerfrei verlötet werden (siehe Abbildung 3.9.3.4). Es zeigte sich, dass diese Lunker bei der thermischen Charakterisierung zu großen Streuungen der Ergebnisse führten. Somit ist eine weitere Optimierung des Lötprozesses notwendig.

Die aufwendige Herstellung der Stufen, die Aussparung und der Platzbedarf dieser Lösung müssen als Nachteile bewertet werden.



Abbildung 3.9.3.1: Prinzip-Skizze für das FC Cavity Up LTCC Heatspreader Package

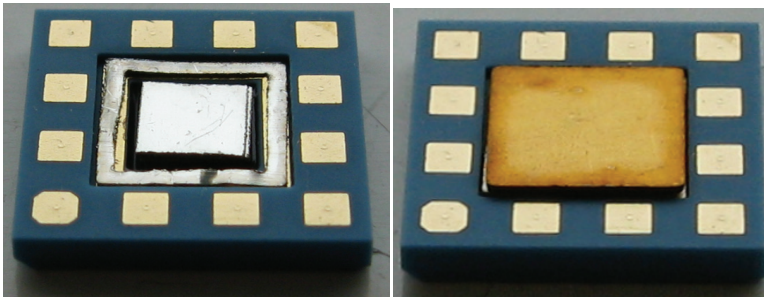


Abbildung 3.9.3.2: Links: Probe mit aufgelegten Lotformteilen, rechts: Probe mit Wärmeableitblech

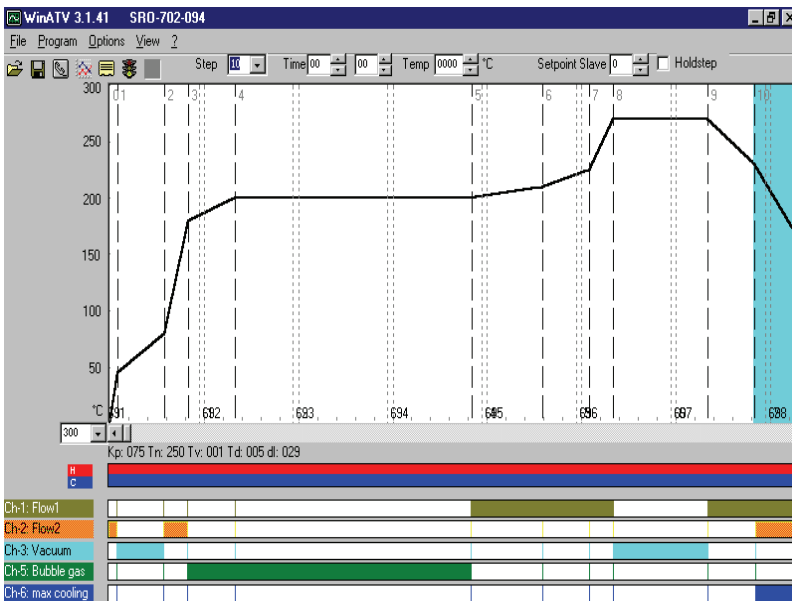


Abbildung 3.9.3.3: Zeitlicher Ablauf der Ofensteuerung

Channel	Regler
1	Stickstoff 400l/h
2	Stickstoff 200l/h
3	Vakuum
4	Methansäure aus Stickstoff-trärgas 200l/h
5	Luft

Tabelle 3.9.3.1: Parameter der Ofensteuerung

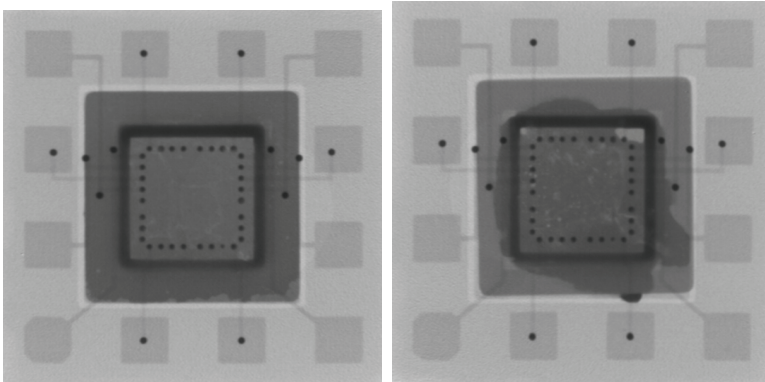


Abbildung 3.9.3.4: Röntgen-Aufnahme von einem FC Cavity Up LTCC Heatspreader Package, links eine weitestgehend lunkerfreie Verlötung und rechts eine Verlötung mit massiver Lunkerbildung

3.9.4 FC Cavity Down LTCC CSSP Package

Die Basis für das FC Cavity Down LTCC CSSP Package Modul bildet eine LTCC mit einer Cavity. In dieser Cavity befindet sich der Flip Chip-

Einbauplatz. Nach der Flip Chip-Montage, die wie bei einem Standard-Modul durchgeführt wird, wird der Halbleiter mit einem Underfill vergossen. Der Underfill soll mit der ganzen Cavity bis über die Cavitykante vergossen werden. Nach dem Aushärten der Vergussmasse wird nun das Modul einseitig geschliffen. Dadurch wird sichergestellt, dass hinterher eine planare Oberfläche vorliegt (siehe Abbildung 3.9.4.1). Nach dem Schleifen wird, genau wie beim FC CSSP LTCC Package, eine Chrom-, Nickel- und Kupferschicht aufgebracht. Die Metallisierung bildet eine LGA-Struktur, die dann als Anschlussfläche für die Leiterplatte funktioniert. Dadurch entsteht ein extrem kleiner thermischer Widerstand zwischen dem Halbleiter und den Leiterplatten. Zusätzlich kann auch die Wärme über die normalen Bumps abgeführt werden [HEY_2003][FLÜ_2003].

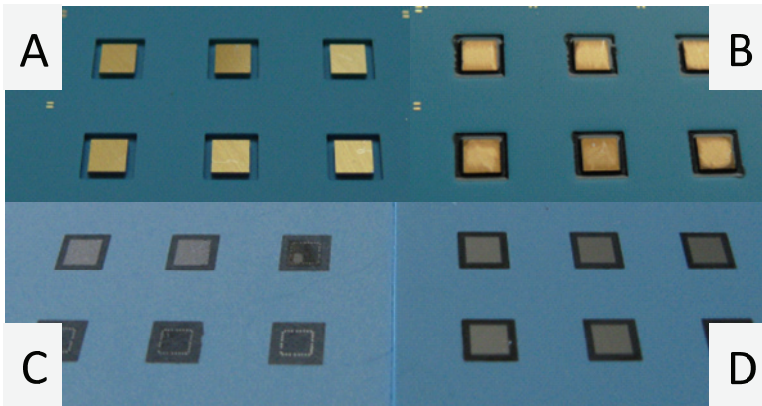


Abb. 3.9.4.1: A: Cavity mit bestücktem Flip Chip-Halbleiter. B: Modul nach dem Underfill. Unten: Module nach dem Abschleifen. C: Schief geschliffenes Substrat und dadurch zerstörte Module. D: Korrekt geschliffenes Substrat.

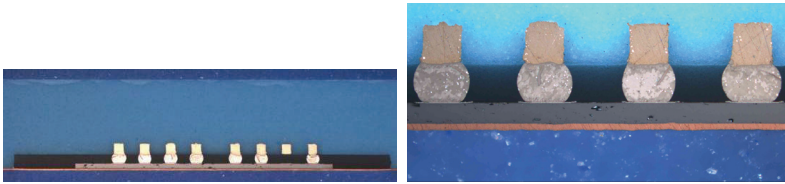


Abb. 3.9.4.2: FC Cavity Down LTCC CSSP Package im Querschliff

3.10 Thermische Simulation und Charakterisierung von Proben mit verbessertem thermischen Management

Dieser Teil der Arbeit basiert auf FE-Simulationen und thermischen Messungen, die anhand der Onchip-Dioden-Methode bestimmt wurden.

3.10.1 LTCC-Flip-Chip-Modul mit aufgelötetem Wärmeableitblech

Die Messungen der Proben mit dem angelöteten Wärmeableitblech zeigen eine deutliche Verbesserung des thermischen Widerstandes. Der thermische Widerstand sank um 35% verglichen mit dem gleichen Design ohne angelötetem Wärmeableitblech. Die FE-Simulation zeigte eine gute Übereinstimmung. Hier wurde die Verbesserung auf 32% berechnet (siehe Abb. 3.10.1.1). Der Wärmewiderstand beträgt bei dieser Lösung $R_{th}=25K/W$.

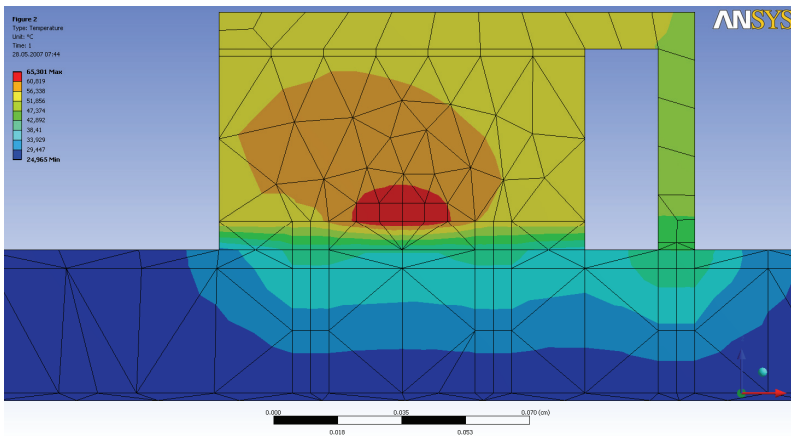


Abbildung 3.10.1.1: Ergebnis des LTCC Flip Chip-Moduls mit aufgelötetem Wärmeableitblech bei der FE-Simulation

3.10.2 FC CSSP LTCC Package

Die Messungen und die Simulation des FC CSSP LTCC Packages zeigten eine deutliche Temperatursenkung verglichen mit dem Standardaufbau (vgl. Kapitel 3.8). Die Temperatur ist um 45% niedriger. Die thermischen Vias, die die Kupferschicht mit den unteren Außenmetallisierungen verbinden, haben keinen Einfluss auf die Temperatur. Dies wird beim Vergleich der Bilder 3.10.2.1 und 3.10.2.2 ersichtlich. Die Kupferschicht ist zur Verdeutlichung grün eingefärbt (Abbildung 3.10.2.1). Die Ursache hierfür dürfte in der geringen Dicke der Kupferschicht und der Entfernung zwischen den Wärmequellen und den thermische Vias liegen. In der Simulation wurde die Kupferschicht auf 50µm statt 15µm erhöht. Auch hier zeigten die thermische

Vias nur einen geringen Einfluss (0,6K) auf die Temperatur. Der thermische Widerstand betrug $R_{th}=8K/W$.

Geometrie
31.05.2009 11:09

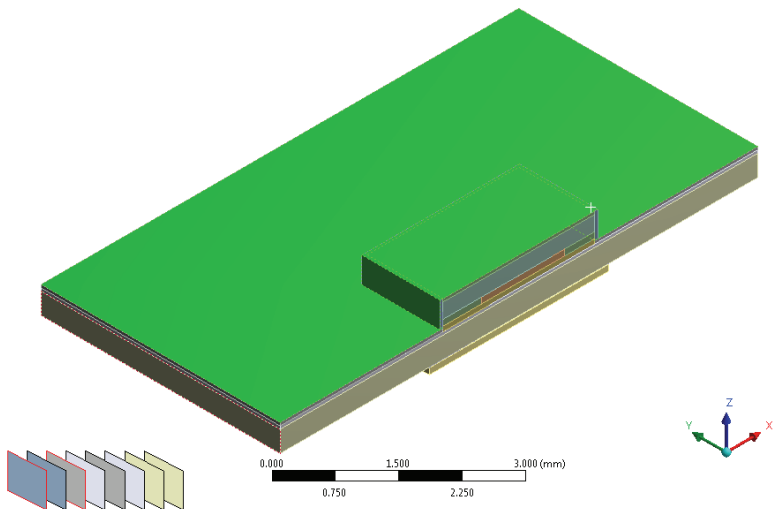


Abbildung 3.10.2.1: FE-Modell für das FC CSSP LTCC Package

Temperature
Typ: Temperatur
Einheit: °C
Zeit: 1

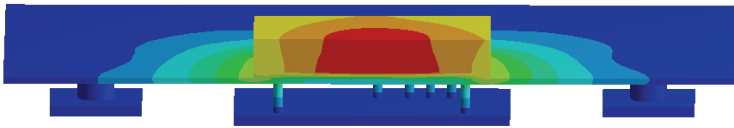
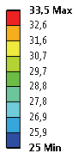


Abbildung 3.10.2.1: FE-Simulationsergebnis für das FC CSSP LTCC Package.

3.10.3 FC Cavity Up LTCC Heatspreader Package

Bei den Messungen an den Proben mit dem FC Cavity Up LTCC Heatspreader Package Design wurde eine sehr große Streuung der Messwerte festgestellt. Diese Streuung kann durch das Lunkervorkommen im TIM (Thermal Interface Material) erklärt werden (siehe Röntgenaufnahmen in Abbildung 3.9.3.4). Deswegen wurde dieses Design nur mittels FE-Simulation bewertet. Der Wärmewiderstand betrug $R_{th}=5K/W$.

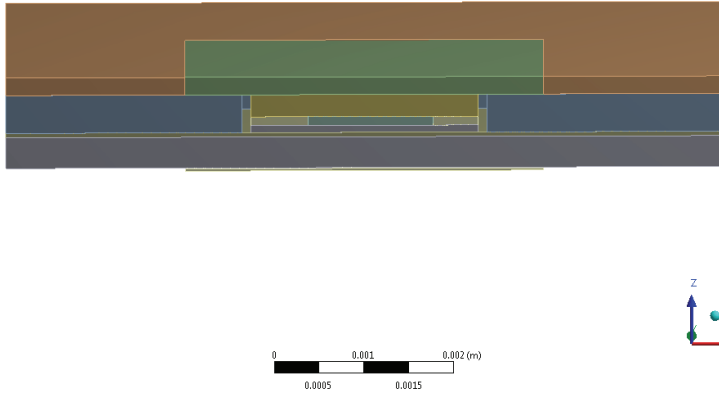


Abbildung 3.10.3.1: FE-Modell für das FC Cavity Up LTCC Heatspreader Package

Temperature
 Typ: Temperatur
 Einheit: °C
 Zeit: 1
 14.12.2008 22:58

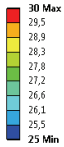


Abbildung 3.10.3.2: FE-Simulationsergebnis FC Cavity Up LTCC Heatspreader Package

3.10.4 FC Cavity Down LTCC CSSP Package

Bei der Vermessung dieses Designs wurde ein sehr geringer thermischer Widerstand von nur 2 bis 3K/W ermittelt. Der aus der FE-Simulation errechnete thermische Widerstand lag bei etwa 1K/W. Der Unterschied zwischen der Simulation und der Messung kann von den Übergangswiderständen, die bei jeder Grenzfläche vorhanden sind, stammen. An der roten Fläche, die eine 15µm dicke Kupferschicht ist, wird eine konstante Temperatur von 25 Grad angenommen. Diese Fläche ist zugleich

die 15µm dicke Kupfersicht, die auf einer Leiterplatte aufgelötet werden kann (Abbildung 3.10.4.1).

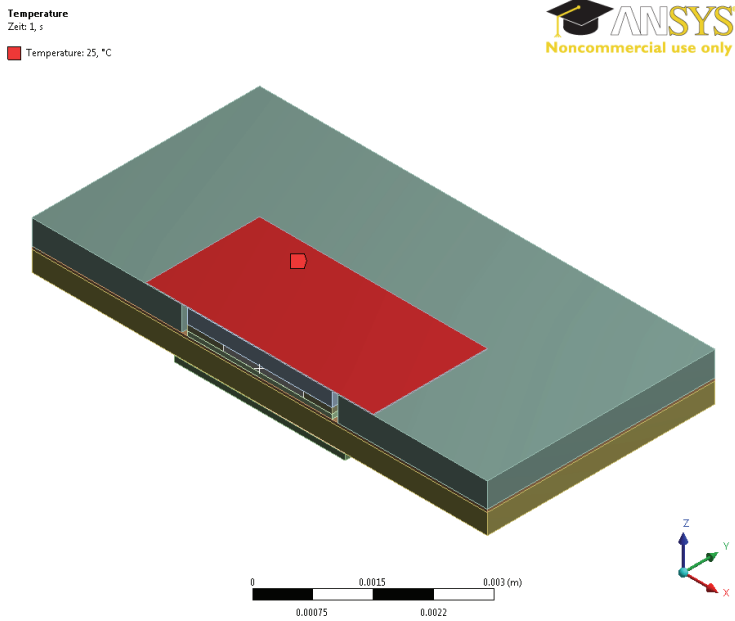


Abbildung 3.10.4.1: FE-Modell des Cavity Down LTCC CSSP Packages

Temperature
Typ: Temperatur
Einheit: °C
Zeit: 1

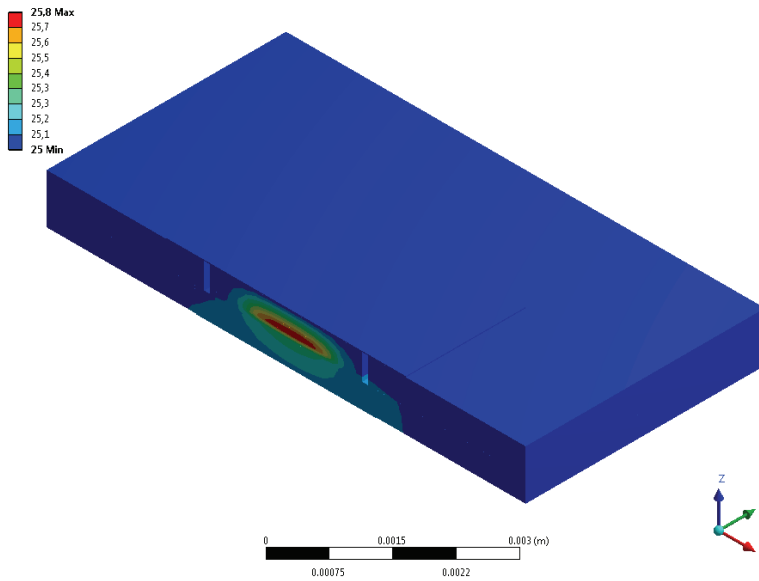


Abbildung 3.10.4.1: FE-Simulationsergebnis des Cavity Down LTCC CSSP Packages

3.11 Zusammenfassung

Mit den Ergebnissen aus den Untersuchungen zum thermischen Verhalten der LTCC-Flip-Chip-Module lassen sich folgende Schlussfolgerungen ziehen. Mit den in den Kapiteln 3.7 und 3.8 beschriebenen Materialien und Designs lässt sich für ein 400µm dickes Substrat ein minimaler thermischer Widerstand von 38K/W nachweisen. Wird dann ein System betrachtet, welches eine maximale Halbleiterübergangstemperatur von 125° C als Spezifikation hat, kann eine Verlustleistung von 1 W bei einer maximalen Umgebungstemperatur von 85° C bewältigt werden. Um noch höhere Verlustleistungen bewältigen zu können, müssen die höherwertigen Lösungen für das thermische Management, die in den Kapiteln 3.9 und 3.10 beschrieben sind, benutzt werden. Mit dem FC Cavity Down LTCC CSSP Package lassen sich bis zu 20 Watt Verlustleistung bewältigen. Die unterschiedlichen Arten des thermischen Managements und deren Eigenschaften, die in dieser Arbeit untersucht worden sind, sind in Tabelle 3.11.1 zusammengefasst.

++ sehr positiv + positiv 0 neutral - negativ -- sehr negativ	R_{thj-A} [K/W]	Bauhöhe	Platzbedarf	Herstellungsaufwand
Standard LTCC Flip Chip mit thermischen Vias und Wärmespreizer	38	++	++	++
LTCC Flip Chip Modul mit aufgelötetem Wärmespreizer	25	--	--	++
FC CSSP LTCC Package	15	-	-	+
FC Cavity Up LTCC Heatspreader Package *	8	+	-	--
FC Cavity Down LTCC CSSP Package	2	++	++	-

Tabelle 3.11.1: Übersicht der unterschiedlichen Arten des thermischen Managements und deren Eigenschaften, bezogen auf 400µm Substratdicke (* simuliert)

4. Anwendungsbezogene Zuverlässigkeitsbetrachtungen für LTCC Flip Chip-Module

4.1 Grundlagen

Die Fehler in mikroelektronischen Bauelementen können in zwei Hauptgruppen eingeteilt werden, Zuverlässigkeitsfehler und Funktionsfehler [LAL_1997]. Die Zuverlässigkeitsfehler betreffen den Halbleiter, die Aufbau- und Verbindungstechnik oder die Baugruppe. Hier sind Risse in der Vergussmasse und das daraus ermöglichte Eindringen von Feuchtigkeit und als Folge entstandene Korrosion als Beispiel geeignet. Bei den Funktionsfehlern sind die elektrischen Fehlfunktionen gemeint. Als Beispiel für die Funktionsfehler kann die Veränderung der Diodenspannung bei einer Temperaturschwankung genannt werden. Ist die Schaltung hierfür nicht konzipiert, so tritt möglicherweise eine elektrische Fehlfunktion auf. Diese Beispiele zeigen die Wichtigkeit der anwendungsbezogenen Zuverlässigkeitsbetrachtung, die in Kapitel 4 durchgeführt werden soll. Zur Bewertung der anwendungsbezogenen Zuverlässigkeit sind mehrere Arten von Untersuchungen denkbar. Neben den in Kapitel 2 bereits erwähnten Tests wie Feuchtigkeit/Wärme-Lagerung, Temperaturwechselbelastung und Mehrfach-Reflows sind eine Vielzahl anderer Tests möglich, wie Elektronenmigrationstest, Falltest, Biegetest, Autoklaventest usw. Weil mit diesem Modul-Gesamtaufbau (LTCC-Substrat mit einer Vergussmasse) bereits eine komplette Zuverlässigkeitsfreigabe bei der Fa. EPCOS vorliegt, wurde demzufolge der Temperaturwechseltest ausgewählt, um die Flip Chip-Verbindung und somit die „1st level“ Verbindung, zu beurteilen.

4.1.1 Daisy Chain-Messung

Bei den Untersuchungen für die Temperaturwechselbelastung wird ein Testmodul in einem Klimaschrank unter bestimmten Bedingungen und unterschiedlichen Temperaturen exponiert. Das für die Tests hergestellte Testmodul ist ein LTCC-Substrat mit einem aufgelöteten Flip-Chip-Halbleiter. Der Halbleiter bildet zusammen mit dem LTCC-Substrat eine Daisy-Chain. Bei einer Daisy-Chain werden mehrere elektrische Verbindungselemente, hier die Bumps, in Reihe geschaltet. Um den Zustand der Verbindung zu prüfen, wird der Widerstand der Serienschaltung gemessen. Das Testdesign mit der Daisy Chain hat in Abhängigkeit der Halbleitergröße 4, 64 oder 196 Bumps in der Serienschaltung. Eine Daisy-Chain ist in der Abbildung 4.1.2.1 dargestellt.

4.1.2 4-Pol-Messung

Für die Messungen an der Daisy Chain mit hoher Genauigkeit wurde das Design für eine 4-Pol-Messung ausgearbeitet. Die 4-Pol-Messung, auch Kelvin-Messung genannt, arbeitet mit getrennten Strom- und Spannungsanschlüssen für die Messung. In Abbildung 4.1.2.1 ist der prinzipielle Aufbau zu sehen. Dabei wird ein bekannter Strom über zwei Leitungen an den Widerstand angelegt. Die über den Widerstand abfallende Spannung wird dann über zwei weitere Leitungen mit einem hochohmigen Spannungsmessgerät erfasst. Damit kann der Einfluss der Kontakt- und Zuleitungswiderstände eliminiert werden.

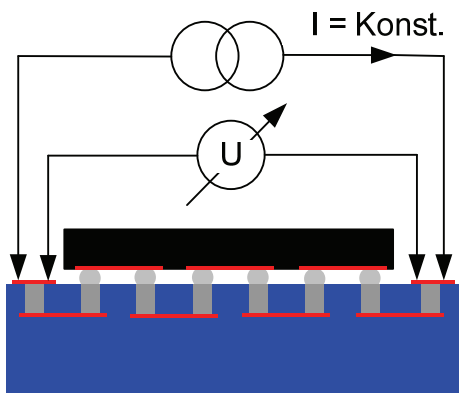


Abbildung 4.1.2.1: 4-Pol-Messung an einer Daisy Chain

4.1.3 Weibull-Verteilung

Zur Beurteilung von Testergebnissen aus Zuverlässigkeitsuntersuchungen wird oft die Weibull-Verteilung herangezogen. Die Weibull-Verteilungsfunktion ist in der Gleichung 4.1.3.1 aufgeführt. a_w ist die charakteristische Weibull-Zahl und liefert den Funktionswert für die Funktion, bei dem 63,2% aller Bauelemente ausgefallen sind. β gibt die Steigung der Geraden an und ist für verschiedene Ausfallursachen unterschiedlich. Als Grundlage der Weibull-Funktion dient eine Tabelle mit dem Ausfallzeitpunkt der Proben. In der Tabelle 4.1.3.1 sind Ausfalldaten zweier unterschiedlicher Varianten aufgelistet.

$$F(x, \alpha_w, \beta) = 1 - e^{-\left(\frac{x}{\beta}\right)^{\alpha_w}} \quad (\text{Gl. 4.1.3.1})$$

x = Ausfall-Zyklen

α_w = charakteristische Weibull-Zahl

β = Steigung der Geraden

Kumulierter Ausfall	Zykluszahl Variante 1	Zykluszahl Variante 2
20%	500	600
40%	750	650
60%	900	700
80%	1100	700
100%	1150	750

Tabelle 4.1.3.1: Beispiel für eine Ausfallstatistik

In dem in der Abbildung 4.1.3.1 dargestellten Weibull-Plot wurden die Ausfallzyklen und der kumulierte Ausfall der zwei verschiedenen Varianten eingetragen. Aus diesem Diagramm lässt sich die Steigung der Weibull-Geraden ablesen. In diesem Beispiel ist ersichtlich, dass zwei verschiedene Ausfallmechanismen vorhanden sind. Die charakteristischen Weibull-Zahlen dieses Beispiels sind 703 respektive 969 Zyklen.

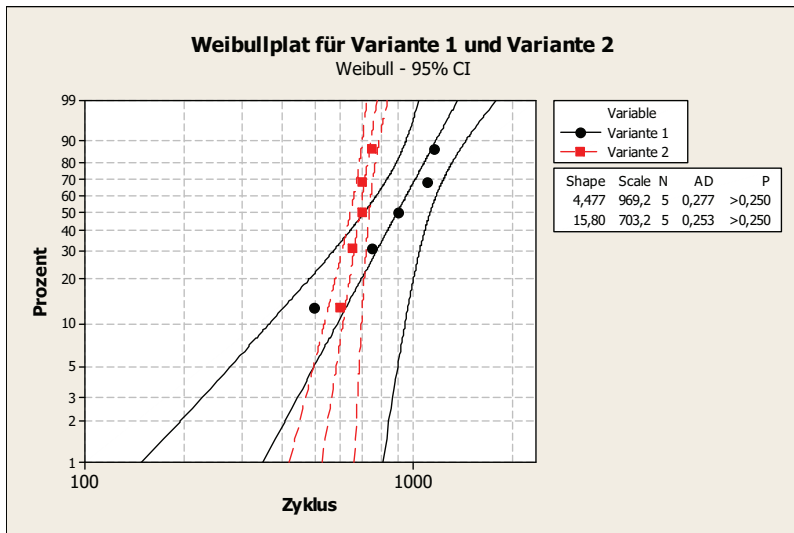


Abbildung 4.1.3.1: Weibull-Plot für das in Tabelle 4.1.3.1 aufgeführte Beispiel

4.1.4 FE-Simulationen für thermomechanische Belastungen

Als Alternative oder Ergänzung zu den experimentellen Zuverlässigkeitsuntersuchungen können Finite-Elemente-Simulationen eingesetzt werden. Für die thermomechanischen FE-Simulationen werden mehrere materialabhängige Parameter benötigt: das Elastizitätsmodul, die Querkontraktionszahl, die Dichte und der thermische Ausdehnungskoeffizient. Das Elastizitätsmodul beschreibt die Reaktion des Materials auf eine Zug-Belastung und die Querkontraktionszahl gibt die Querschnittsänderung des Materials bei einer Zug-Belastung an. Der thermische Ausdehnungskoeffizient beschreibt die Längenänderung des

Materials in Abhängigkeit der Temperaturen. Nicht für alle hier eingesetzten Materialien sind diese Kennwerte bekannt und weil die Ermittlung dieser Kennzahlen aufwendig ist, wird in dieser Arbeit auf die FE-Simulationen für die Zuverlässigkeitsuntersuchung verzichtet.

Die experimentelle Erprobung der Zuverlässigkeit eines Testobjekts ist zwar kosten- und zeitintensiv, aber sie liefert ein handfestes Ergebnis, sofern die Untersuchungen korrekt durchgeführt worden sind [MÜL_1997].

4.2 Methoden der Bewertung

4.2.1 Temperaturwechselbelastung

In dieser Untersuchung wurden zwei unterschiedliche Temperatur-Zeit-Profile zur Untersuchung der Lötstellen benutzt, einerseits die langsame Temperaturwechsel-Belastung und andererseits die rasche Temperaturwechsel-Belastung. Beide Profile haben die gleiche Endtemperatur und Haltezeit. Die Haltezeit an den Endtemperaturen ist mit 30 Minuten spezifiziert. Die untere Grenztemperatur beträgt -40°C und die obere $+125^{\circ}\text{C}$. Bei der langsamen Temperaturwechsel-Belastung sind 60 Minuten als Wechselzeit vorgesehen und bei der raschen maximal 10 Sekunden. Für den langsamen Test wurde ein Ein-Kammer-Klimatestgerät der Fa. Vötsch (WTM7004) benutzt und für den raschen Test ein Zwei-Kammer-Testgerät, welches ebenfalls von der Fa. Vötsch stammt. Das Zwei-Kammer-Gerät hat zwei vertikal angeordnete Kammern, die durch eine bewegliche Decke getrennt sind. Bei beiden Klimatestgeräten wird Luft als Medium benutzt. Durch die sehr schnellen

Wechsel zwischen den Temperaturen beim raschen Temperaturwechsel sind größere Temperaturabweichungen zwischen der Soll- und Ist-Temperatur unvermeidbar. Grund hierfür sind die Wärmekapazitäten der Proben und der Probenhalterung, die eine Trägheit des Systems bedeuten. Dies wird auch in der Abbildung 4.2.1.1 sichtbar. Der langsame Temperaturwechseltest entspricht den Vorgaben des JEDEC JESD22-A104-Standards für die Variante G [SIL_2008]. Die Proben wurden für die Untersuchungen in einem Halter aus Isoval platziert. Isoval ist eine Glasfasermatrix mit einem Hochtemperatur-Epoxidharz und ist dauertemperaturstabil bis 180°C. Diese Horden enthalten Aussparungen, um die Bauelemente getrennt zu halten. In den Horden sind die Aussparungen so ausgeführt, dass Luft sowohl unterhalb als auch oberhalb der Bauelemente frei zirkulieren kann (siehe Abbildung 4.2.1.2).

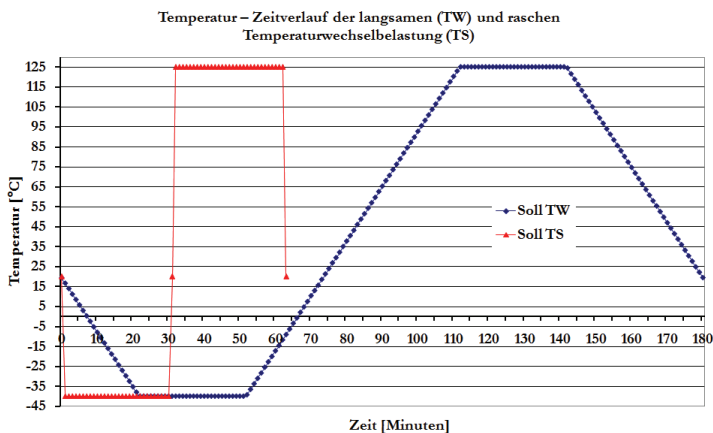


Abbildung 4.2.1.1: Temperatur – Zeitverlauf der langsamen (TW) und raschen Temperaturwechselbelastung (TS)

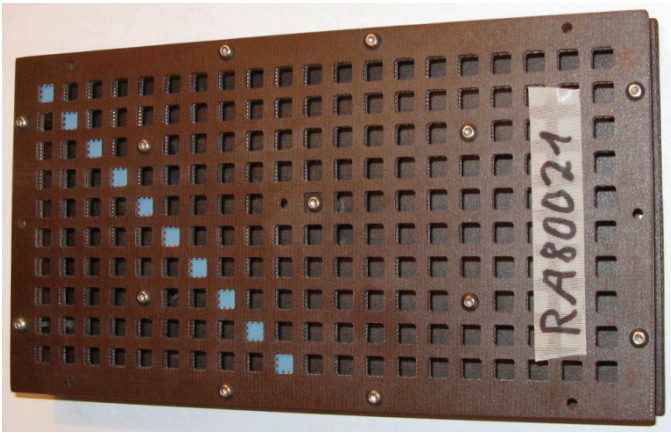


Abbildung 4.2.1.2: Proben für die Temperaturwechselbelastung in der Isoval Horde ohne Deckel

4.2.2 Schertest

Neben den Temperaturwechseltests wurden Scherfestigkeitsuntersuchungen an Bumps und Bauelementen durchgeführt. Bei den Scherfestigkeitsuntersuchungen wird bei einer festgelegten Scherhöhe H_s und Schergeschwindigkeit V_s , mittels Schermeisel eine Scherkraft an dem Testobjekt angelegt (siehe Abbildung 4.2.2.1). Beim Schertest wird zwischen dem zerstörenden und dem nicht-zerstörenden Test unterschieden. Bei dem nicht-zerstörenden Test steigt die Kraft auf einen im voraus festgelegten Maximalwert an. Wenn das Testobjekt diese Kraft aushält, wird das Testobjekt als gut bewertet. Dabei muss sichergestellt werden, dass es nicht bei ungeeigneten Testbedingungen zu einer Schädigung des Objektes kommt,

welche später im Betrieb zu einem vorzeitigen Ausfall führt. Deswegen wird diese Art von Test eher selten eingesetzt.

Bei der zerstörenden Prüfung wird identisch vorgegangen, nur wird hier die Scherkraft so lange erhöht, bis das Testobjekt zerstört wird. Nach dem Abscheren kann dann auch die Bruchstelle bewertet werden. Durch die Bewertung der Bruchstelle können Informationen über das Design, die beteiligten Materialien und die Grenzflächen gewonnen werden. Bei der Prüfung eines Lotbumps ist das Ziel, dass die Bruchstelle in dem Lot liegt soll. Damit ist, ähnlich wie bei dem Abziehtest einer Drahtbondverbindung, die schwächste Stelle am Verbindungsmaterial zu finden. Dadurch kann bewiesen werden, dass das Design und die Grenzflächen nicht die Schwachstelle des Testobjekts darstellen.

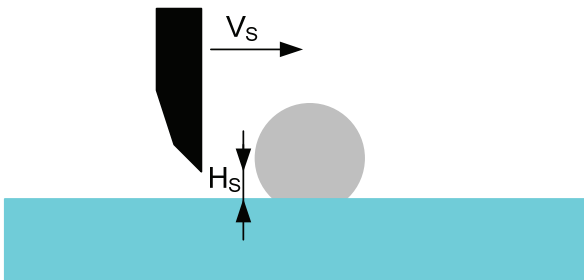


Abbildung 4.2.2.1: Prinzipskizze des Schertests

Für die grundlegenden Untersuchungen am Schertester sind Bumps mit einem Durchmesser von $250\mu\text{m}$ und einer Höhe von $150\mu\text{m}$ getestet worden. Es wurde der Einfluss von Scherhöhe (V_H) und Schergeschwindigkeit (V_S)

untersucht. In Abbildung 4.2.2.2 sind die Ergebnisse der Scherkraft in Abhängigkeit der Scherhöhe dargestellt. Die Scherkraft nimmt mit zunehmender Scherhöhe ab. Dies ist zu erwarten, wenn der Bruch im Bereich des Lotes liegt, da immer weniger Lot als Bruchfläche zur Verfügung steht. Der Einfluss von Schergeschwindigkeit ist in der Abbildung 4.2.2.3 dargestellt. Mit steigender Schergeschwindigkeit erhöht sich auch der Scherkraft.

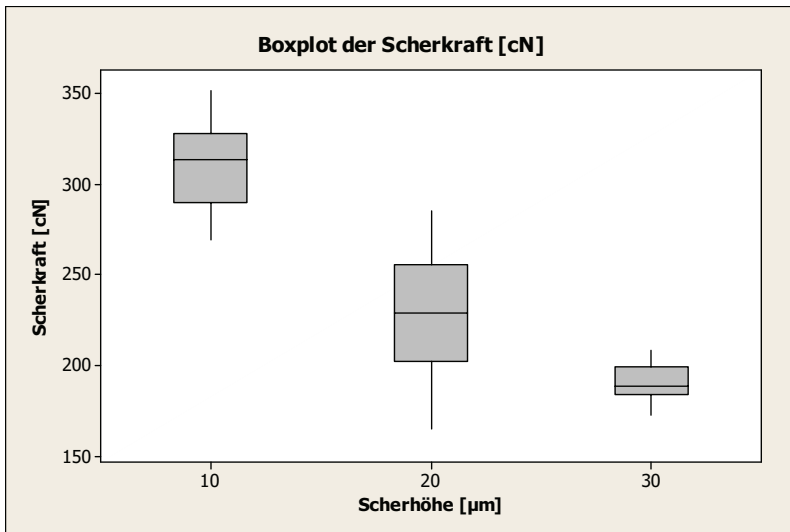


Abbildung 4.2.2.2: Beispiel für die Abhängigkeit der Scherkraft von der Scherhöhe

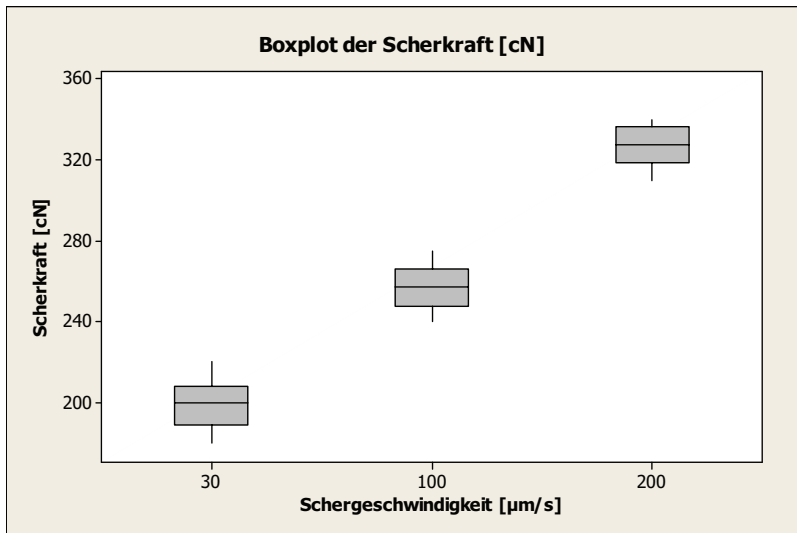


Abbildung 4.2.2.3: Beispiel für die Abhängigkeit der Scherkraft von der Schergeschwindigkeit

4.3 Scherfestigkeit von Flip Chip-Verbindungen

Um die Scherfestigkeit der LTCC-Flip-Chip-Module zu beurteilen, wurden zwei Arten des Schertests durchgeführt. Es wurden zum einen Schertests am einzelnen Bump und zum anderen Schertests am aufgebauten Flip-Chip-LTCC-Modul durchgeführt, bei dem der gesamte Halbleiter auf einmal abgeschert wurde (siehe Abbildungen 4.3.1 und 4.3.2.).

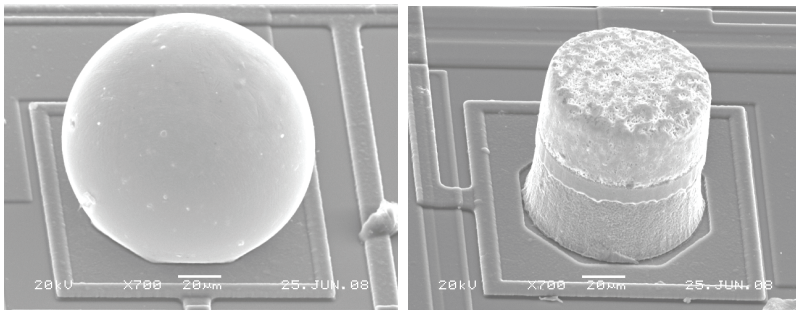


Abbildung 4.3.1: Sekundärelektronenbild von SnAgCu-Bump (links) und Kupfersäule + AgSn-Kappe (rechts)

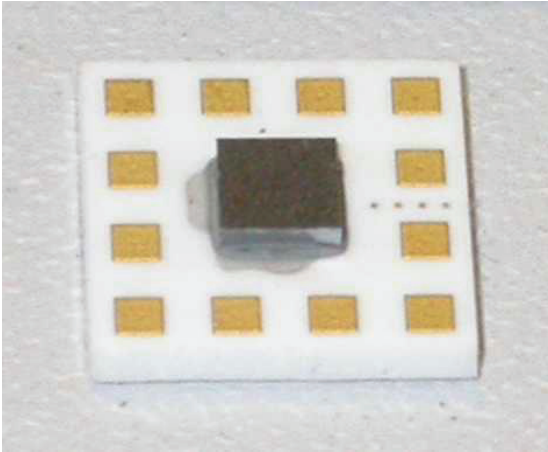


Abbildung 4.3.2: Beispiel für ein Modul, welches zur Untersuchung in der Scherkraft am aufgelöteten Modul benutzt wurde

4.3.1 Untersuchungen an Einzel-Bumps

Für die Untersuchungen an Einzelbumps wurden die Halbleiterbauelemente mit den Bumps nach oben an einen Träger festgeklebt. Durch das Festkleben wird ein sicherer Halt der Bauelemente während der Tests gewährleistet. Die Schertests wurden mit einer Schergeschwindigkeit von $200\mu\text{m/s}$ und einer Scherhöhe von $10\mu\text{m}$ durchgeführt. Für die Auswertung der Ergebnisse werden der Schermodus und die Kraft betrachtet. Der Schermodus wird in mehrere Arten unterteilt. Die verschiedenen Arten des Bruchs werden in der Tabelle 4.3.1.1 erläutert.

Schermodus	Beschreibung
Lotbruch	Die gesamte Bruchfläche befindet sich im Lot.
Padbruch	Das gesamte Pad wurde aus dem Halbleiter herausgerissen.
Grenzflächenbruch	Der Bruch befindet sich zwischen dem Lot und der UBM.
Mischbruch	Die Bruchfläche verläuft in Lot und Pad.

Tabelle 4.3.1.1: Schermodus beim Schertests am Einzel-Bump.

In der Abbildung 4.3.1.1 sind die charakteristischen Ergebnisse der Schertests am Einzel- Bump zu sehen. Es wurden ausschließlich Lotbrüche und Mischbrüche bei den Sn-Ag-Cu Bumps und Padbrüche bei den Kupfersäulen + AgSn-Kappen beobachtet. Die beiden oberen Bilder (A und B) zeigen die Kraft-Zeit-Diagramme der Schertests. Bei A ist das Ergebnis für ein SnAgCu-Bump zu sehen. Die Kraft steigt zuerst bis zur duktilen Grenze und bildet dann einen Mischbruch. B zeigt das Kraft-Zeit-Diagramm für eine Kupfersäule mit AgSn-Kappe, wo die Kraft bis zur Bruchkraftgrenze ansteigt und sich dann daraus ein Padbruch entwickelt. Die beiden mittleren Bilder zeigen eine topographische Auswertung der Bruchflächen (links Sn-Ag-Cu Bump und rechts Kupfersäule mit AgSn-Kappe). Die beiden unteren Bilder zeigen die Bruchflächen von oben gesehen. Im Bild C ist die duktile Verformung (glatte Fläche im linken Teil des Bumps) des Lotes vor dem Bruch sichtbar.

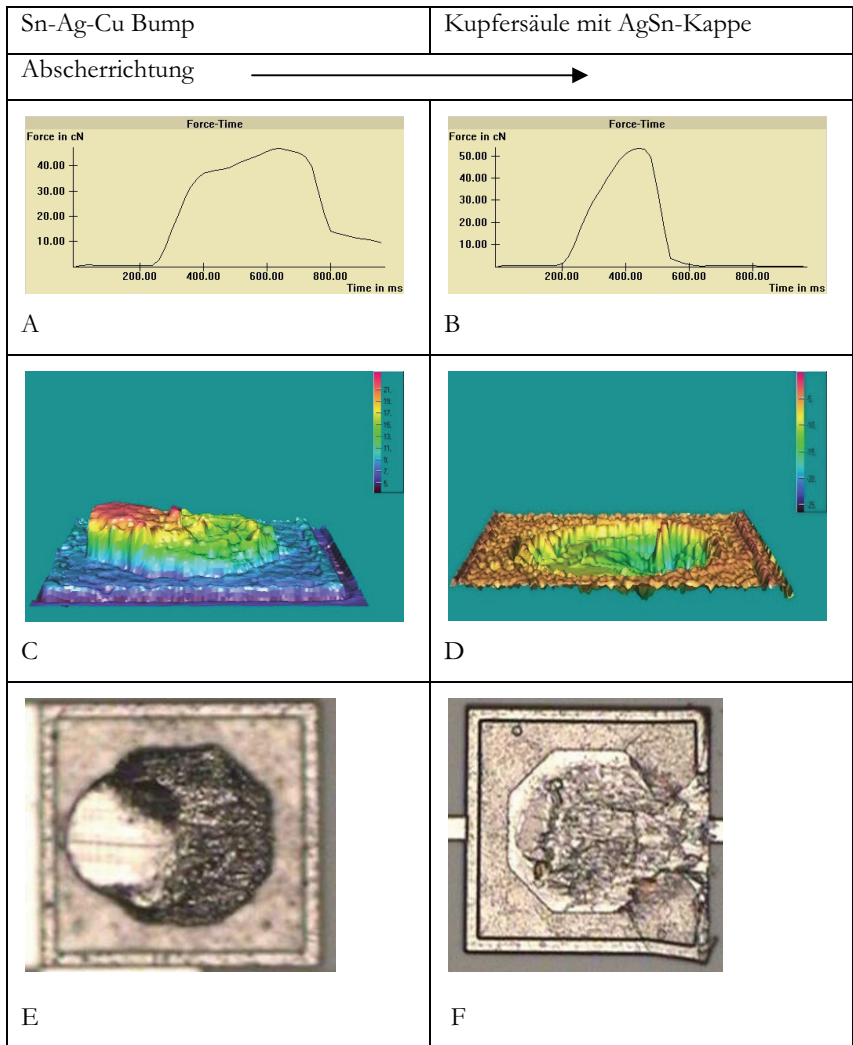


Abbildung 4.3.1.1: Kraft-Zeit-Diagramm, 3D-Topographie und ein optisches Bild mit der Gegenüberstellung von SnAgCu-Bumps und Kupfersäule mit AgSn-Kappe beim Schertest

Der Boxplot der Scherkräfte ist in der Abbildung 4.3.1.2 dargestellt und zeigt einen signifikanten Unterschied zwischen den verschiedenen Bump-Materialien. Die Kupfer-Säulen mit SnAg-Kappe zeigen eine um 13 cN höhere Scherkraft als die SnAgCu-Bumps. Diese Ergebnisse stimmen mit den aus der Literatur beschriebenen Materialfestigkeiten von bleifreiem Lot und reinem Kupfer überein [NIS_2002] [ONL_2008]. Die deutlich höhere Festigkeit von Kupfer führt dazu, dass der schwächste Punkt des Aufbaus die UBM-Anbindung zum Silizium wird.

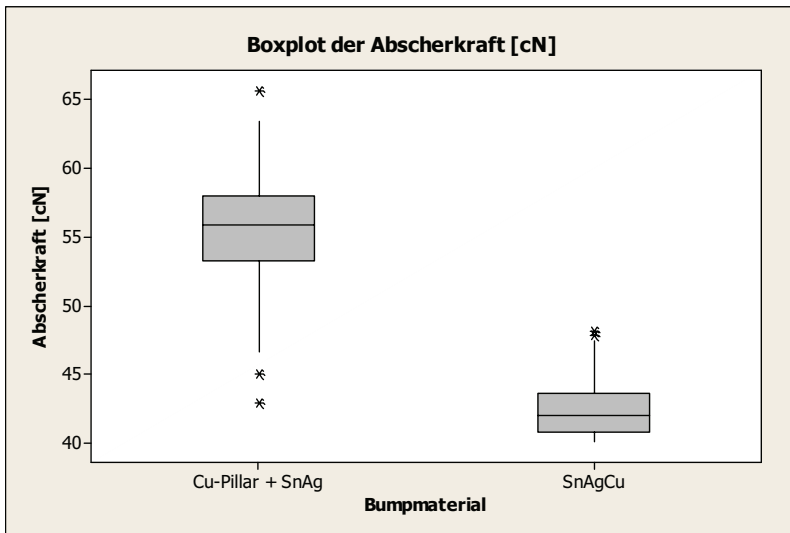


Abbildung 4.3.1.2: Boxplot der Scherkraft in Abhängigkeit des Bump-Materials

4.3.2 Scherfestigkeit von Einzel-Bumps nach Mehrfach-Reflow

Um die Auswirkungen von mehrfachen Reflows zu erfassen, wurde das Experiment in einem anderen Projekt durchgeführt. Es wurden die Bumps der Proben im Ursprungszustand und nach bis zu 6 Reflows abgeschert. Das Ergebnis in der Abbildung 4.3.2.1 zeigt eine leichte Verringerung der Scherkraft für beide Pasten nach dem Mehrfach-Reflow. Durch den Mehrfach-Reflow wird der Zuwachs von intermetallischen Phasen begünstigt. Da intermetallische Phasen als Störstellen wirken, kann diese eine niedrigere Scherkraft hervorrufen. Als Versuchspasten wurden die Nihon Handa PF25092M-S-YO mit Sn95.75Ag3.5Cu0.75 und die Kester R150A mit Sn95.8Ag3.5Cu0.7 verwendet [NIH_2005] [KES_2001].

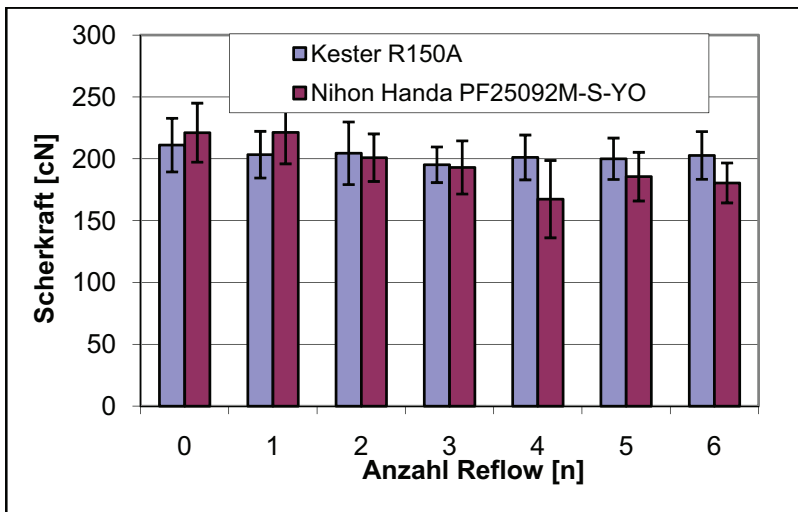


Abbildung 4.3.2.1: Verlauf der Scherkraft in Abhängigkeit der Mehrfach-Reflows

4.3.3 Untersuchungen am aufgelöteten Modul

Für die Abschertests am aufgebauten LTCC-Flip-Chip-Modul wurden die LTCC-Substrate mit dem Infineon G423B-Halbleiter bestückt. Der Halbleiter hat eine Kantenlänge von 1mm x 1mm und acht peripher angeordnete Bumps. Der Boxplot der Scherkräfte ist in Abbildung 4.3.3.1 dargestellt. Es bestehen keine signifikanten Unterschiede zwischen den beiden Bump-Materialien. Die Auswertung der Bruchflächen nach dem Abschertest erklärt dieses Ergebnis. Für beide Bump-Arten lag der Bruch im Bereich der Lötverbindung zwischen Bump und UBM der LTCC. Dieses Ergebnis deckt sich mit den Angaben aus der Literatur, denen zu entnehmen ist, dass der Unterschied in der Scherfestigkeit der Legierungen SnAg und SnAgCu gering ist [NIS_2002].

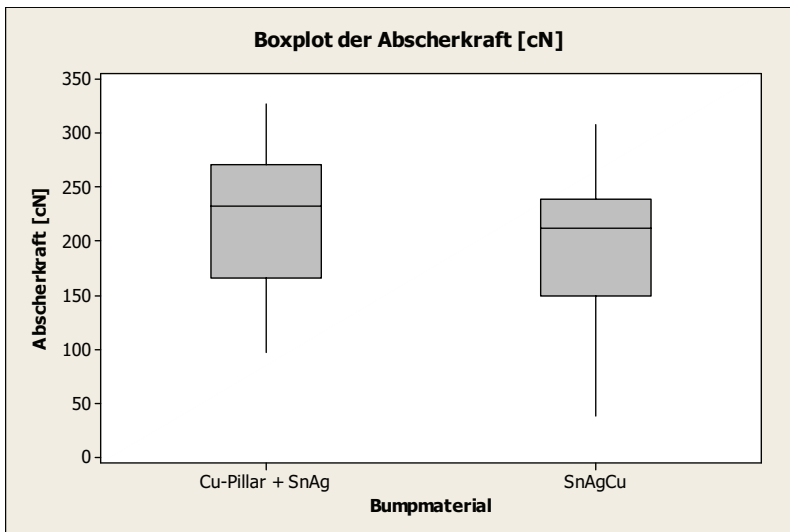


Abbildung 4.3.3.1: Abschertests am aufgebauten LTCC Flip Chip-Modul

Zusammenfassend kann festgestellt werden, dass der schwächste Punkt dieses LTCC-Flip Chip-Aufbaus ohne Underfill die Lotverbindung ist, egal ob SnAgCu-Bump oder Kupfersäule mit AgSn-Kappe eingesetzt werden.

4.4 Temperaturwechseluntersuchungen

4.4.1 Beschreibung des Testmoduls und der Testumgebung

In dieser Arbeit wurden die Unterschiede zwischen den raschen und langsamen Temperaturwechseln experimentell untersucht. Die beiden Temperatur-Zeit-Profile sind im Kapitel 4.2 erläutert. Zur Überprüfung der Testbedingungen wurden Messungen mittels der im Testaufbau befindlichen Dioden durchgeführt. Das aufgenommene Temperatur-/Zeit- Diagramm ist in der Abbildung 4.4.1.1 zu sehen. Die Abweichung zur Solltemperatur beträgt nach dem Einschwingvorgang nur 2°C und die Halte- und Wechselzeiten der unterschiedlichen Profile werden gut durch die Klimatestkammer abgebildet.

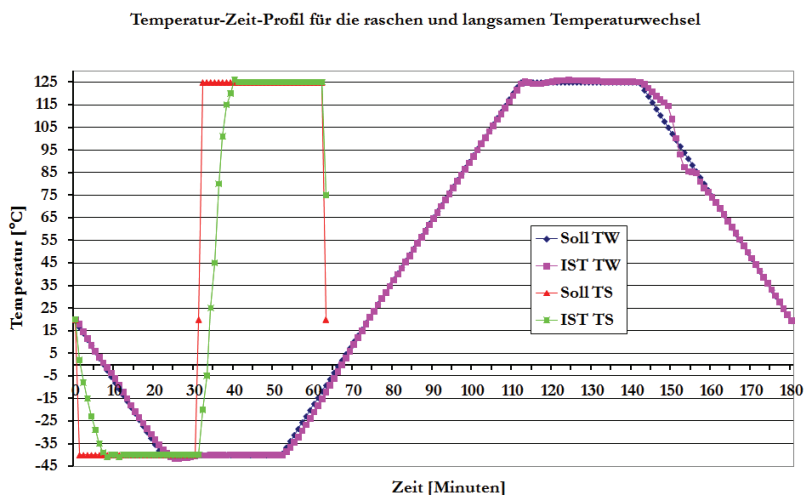


Abbildung 4.4.1.1: Temperatur-Zeit-Profil für die raschen und langsamen Temperaturwechsel

Die Proben für die langsame und rasche Temperaturwechselbelastung sind gemäß des im Kapitel 2 beschriebenen LTCC- und Flip-Chip-Fertigungsprozesses hergestellt worden. Die Proben hatten als Parameter Bump-Material, Halbleiterkantenlänge und Underfill. Eine Übersicht des Experiments ist in der Tabelle 4.4.1.1 ersichtlich.

Parameter	Beschreibung
Bump-Material	SnAgCu-Bump oder Kupfer-Säule + SnAg-Kappe
Halbleiterkantenlänge	1mm x 1mm, 4mm x 4mm und 7mm x 7mm
Underfill	Kein, Nagase T693 / R3310 oder Namics XS8449-9

Tabelle 4.4.1.1: Übersicht der Versuchsparameter

Als Halbleiter wurde der Infineon G423B eingesetzt. Dieser Halbleiter besitzt, wie im Kapitel 3.5 näher beschrieben, eine Daisy Chain und ist in mehreren Kantenlängen in einem Raster von 1mm erhältlich. Zu Beginn der Untersuchung wurde bei Proben deren Daisy-Chain-Widerstand gemessen. Diese Ermittlung erfolgte mittels Kelvin-Messung. Um den Schadensverlauf zu erfassen, wurde der Daisy Chain-Widerstand alle 100 Zyklen gemessen. Ein Ausfall wird über eine Widerstands-Veränderung detektiert. In Abbildung 4.4.1.2 ist ein typischer Daisy-Chain-Widerstandsverlauf zu sehen. Der Widerstandsverlauf ist weitestgehend über die Zeit konstant, nur bei einer Probe der Kupfersäulen ist ein deutlicher Anstieg ab circa 2000 Zyklen zu sehen. Diese Probe wurde dann in einem Querschliff untersucht. Es wurden kleinere Risse gefunden (siehe Abbildung). Die Schliffpräparation erfolgte in mehreren Stufen mit immer feiner werdendem Schleifmaterial. Alle Schliffe wurden nach dem Schleifen poliert (mit 0,5m Diamantpolitur für 5 Minuten und 0,02 μm Siliziumpoliermittel für 30 Sekunden). Beim langsamen Temperaturwechseltest wurden 1000 Zyklen getestet und bei den raschen 2300. Um die beiden Tests vergleichen zu können, wurde die Auswertung bei den raschen Tests, wenn nichts anderes vermerkt ist, bei 1000 Zyklen durchgeführt.

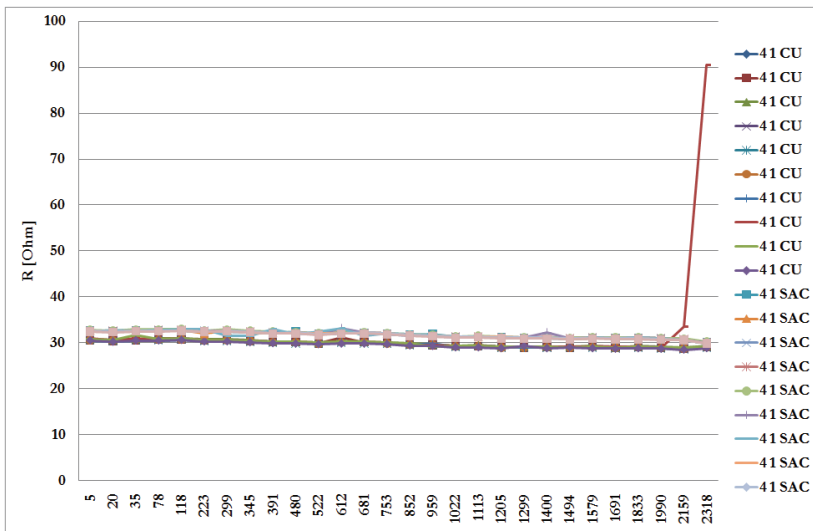


Abbildung 4.4.1.2: Daisy Chain-Widerstandsverlauf bei der raschen Temperaturwechsel-belastung für die Proben mit der Kantenlänge 4mm x 4mm mit Underfill bis 2300 Zyklen



Abbildung 4.4.1.3: Beispiel für Risse im Bump nach einer Temperaturwechsel-Belastung

4.4.2 Einfluss des Underfills

Bei keinem der Tests (langsamen bis 1000 Zyklen und raschen bis 2300 Zyklen) sind Proben mit Underfill unter dem Flip Chip ausgefallen. Es sind zwar kleine Risse auffindbar, aber diese sind auch nach Beendigung der Tests sehr klein und haben keinen messbaren Einfluss auf den Daisy-Chain-Widerstand (siehe Abbildung 4.4.2.1.).



Abbildung. 4.4.2.1: SnAgCu-Bump mit Underfill nach den raschen Temperaturwechseln mit 2300 Zyklen.

4.4.3 Langsame Temperaturwechsel-Belastung

4.4.3.1 Einfluss von Halbleitergröße

Um den Einfluss von Halbleiter-Kantenlängen zu erfassen, wurden die Proben ohne Underfill in den Abbildungen 4.4.3.1.1 und 4.4.3.1.2 getrennt nach

Bump-Material ausgewertet. Es zeigt sich, dass eine Vergrößerung der Halbleiter einen negativen Einfluss auf die Lebensdauer hat. Dies findet sich auch in den Berechnungsmethoden nach Coffin-Manson (siehe Gleichung 4.4.3.1.1) [GRO_2006]. Die Risse bilden sich im oberen Drittel des Bumps, also an der Seite des Halbleiters. Vergleicht man die beiden Bilder in der Abbildung 4.4.3.1.3, so wird der Unterschied der Rissbildung deutlich. Die Lebensdauer sinkt mit ca. 20% für den SnAgCu-Bump respektive 15% für die Kupfer-Säulen.

$$N_f \cdot \epsilon_{pl}^\alpha = K \quad (\text{Gl. 4.4.3.1.1})$$

N_f = Anzahl Zyklen zum Ausfall

ϵ_{pl} = Plastische Deformation pro Zyklus

α = Ermüdungsexponent

K = Konstante

$$\text{mit } \epsilon = \frac{\Delta \vartheta \cdot \Delta \alpha \cdot l}{d} \quad (\text{Gl. 4.4.3.1.2})$$

$\Delta \vartheta$ = Temperaturdifferenz

$\Delta \alpha$ = Differenz der Ausdehnungskoeffizienten

l = Ausgangslänge

d = Dicke der Lötstelle

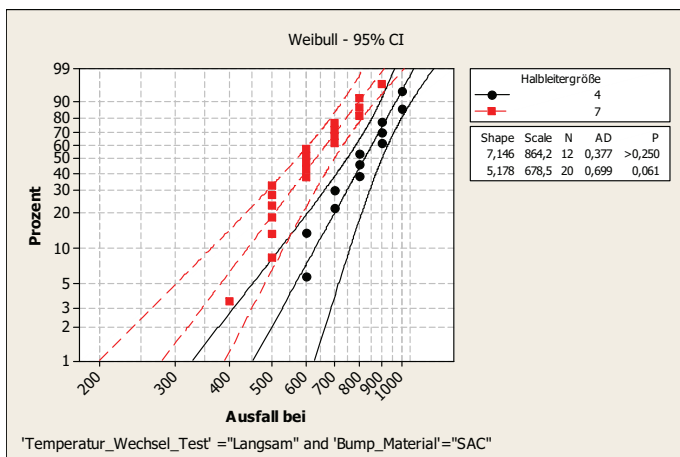


Abbildung 4.4.3.1.1: Weibull-Plot für SnAgCu-Bumps in Abhängigkeit der Halbleiter-Kantenlänge

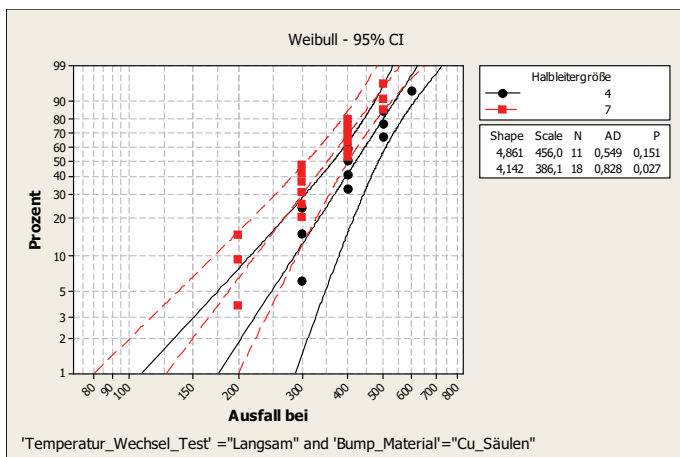


Abbildung 4.4.3.1.2: Weibull-Plot für Cu-Säulen + SnAg-Kappe in Abhängigkeit der Halbleiterkantenlänge

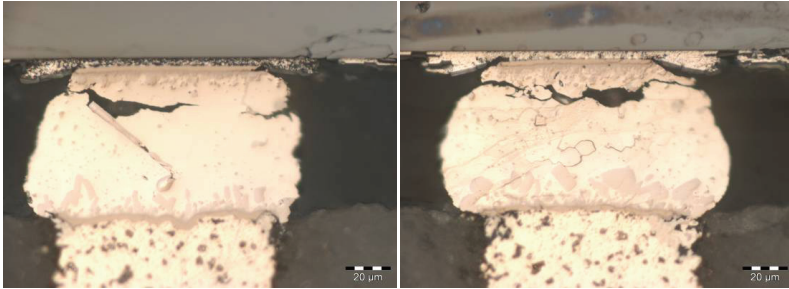


Abbildung 4.4.3.1.3: Schliffbilder von Bumps: links 4mm Kantenlänge und rechts 7 mm Kantenlänge nach 1000 Zyklen ohne Underfill

4.4.3.2 Einfluss des Bump-Materials

Der Einfluss des Bumpmaterials wird in den Abbildungen 4.4.3.2.1 und 4.4.3.2.2 dargestellt. Der SnAgCu-Bump hat eine ca. 47% bessere Lebensdauer als die Kupfer-Säulen für die kleinere Kantenlänge. Der Unterschied für die größere Kantenlänge beträgt 43%. Die Abbildung 4.4.3.2.3 zeigt die Beschädigungen nach 1000 Zyklen ohne Underfill. Das linke Bild zeigt eine Kupfersäule mit einem durchgängigen Riss in der naturgemäß sehr dünnen Lotschicht und das rechte Bild einen SnAgCu-Bump, wo ein Riss ca. 75% des Bumps durchquert. Der Riss im SnAgCu-Bump ist auch hier im oberen Drittel des Bumps, an der Halbleiterseite, zu finden. Thermomechanische FE-Simulationen könnten weitere Informationen über die Spannungsverteilung im Aufbau liefern. Diese Simulationen konnten jedoch nicht im Rahmen diese Arbeit durchgeführt werden.

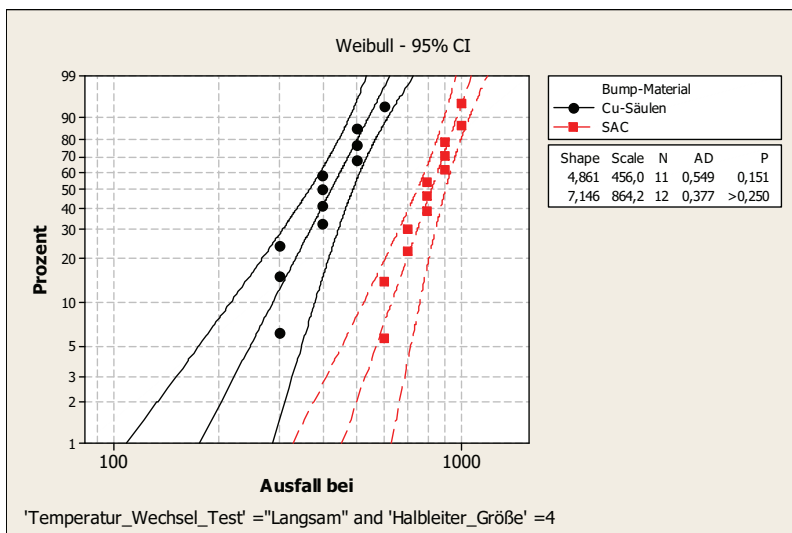


Abbildung 4.4.3.2.1: Weibull-Plot für 4mm Halbleiter-Kantenlänge in Abhängigkeit des Bumpmaterials

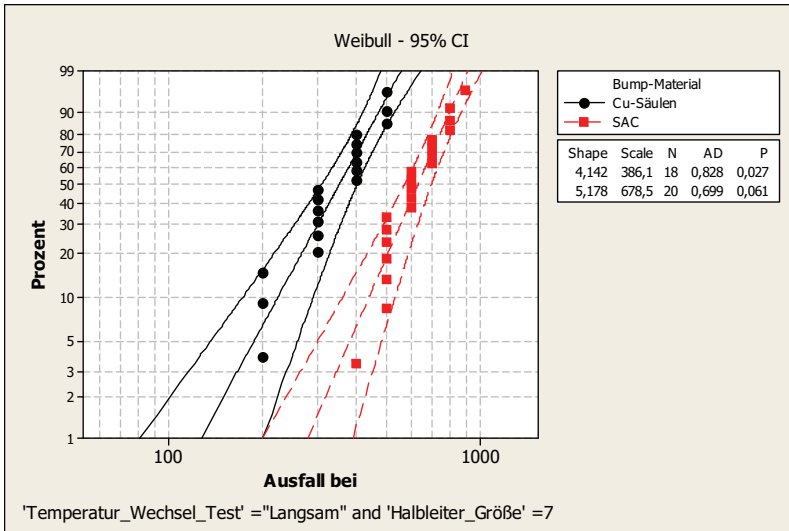


Abbildung 4.4.3.2.2: Weibull-Plot für 7mm Halbleiter-Kantenlänge in Abhängigkeit des Bumpmaterials.



Abbildung 4.4.3.2.3: Beschädigungen nach 1000 Zyklen ohne Underfill.
Links: Kupfer-Säule mit SnAg-Kappe und rechts: SnAgCu-Bumps

4.4.4 **Rasche Temperaturwechsel-Belastung**

4.4.4.1 **Einfluss der Halbleitergröße**

Der Einfluss der Halbleitergröße beim raschen Temperaturwechsel ist in den Abbildungen 4.4.4.1.1 und 4.4.4.1.2 dargestellt. Der Unterschied bei den SnAgCu-Bumps beträgt nur 3% und bei den Kupfer-Säulen 11%. Die Abbildung 4.4.4.1.3 zeigt links die Beschädigung der Bumps bei 4mm Halbleiter-Kantenlänge und rechts bei 7mm nach 1000 Zyklen für die SnAgCu-Bumps.

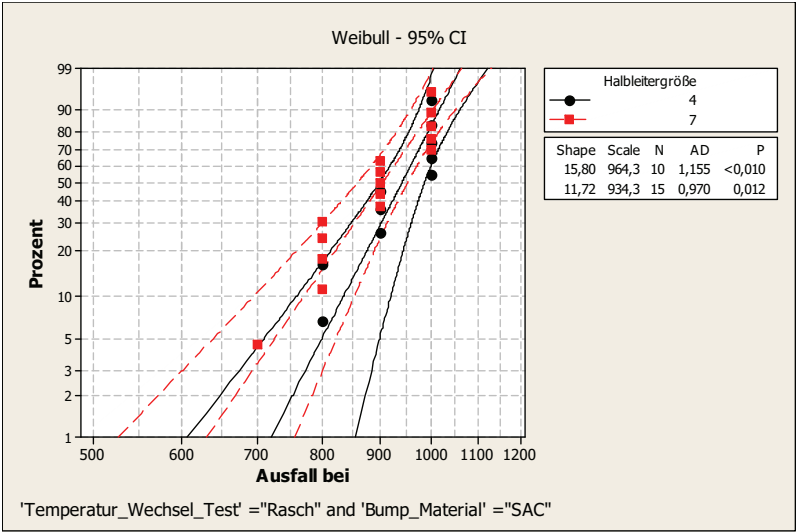


Abbildung 4.4.4.1.1: Weibull-Plot für SnAgCu-Bumps in Abhängigkeit der Halbleiter-Kantenlänge

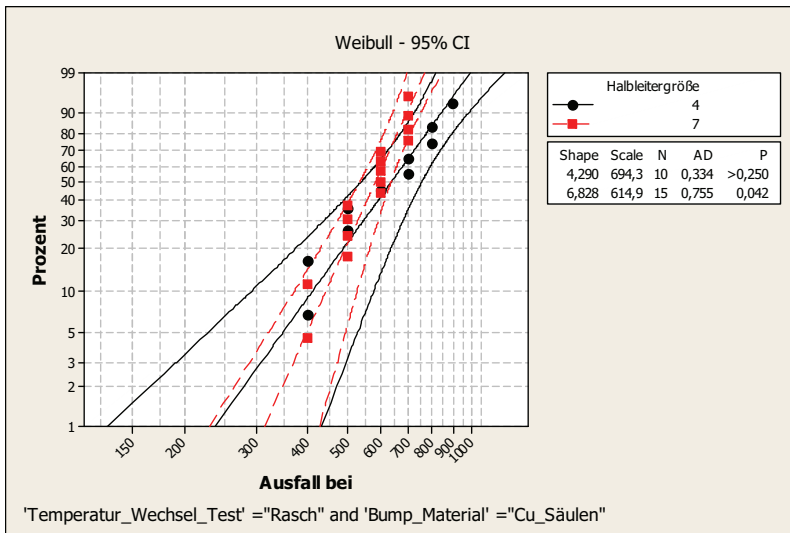


Abbildung 4.4.4.1.2: Weibull-Plot für Cu-Säulen + SnAg-Kappe in Abhängigkeit der Halbleiter-Kantenlänge



Abbildung 4.4.4.1.3: links_ 4mm Kantenlänge, rechts: 7 mm Kantenlänge nach 1000 Zyklen ohne Underfill

4.4.4.2 Einfluss des Bumpmaterials

Die Abbildungen 4.4.4.2.1 und 4.4.4.2.2 zeigen den Einfluss des Bump-Materials auf die Zuverlässigkeit des Moduls. Für die Halbleiter mit einer Kantenlänge von 4mm halten die Flip-Chip-Verbindungen mit SnAgCu-Bumps um 28% besser. Bei den größeren Halbleitern mit einer Kantenlänge von 7mm ist der Unterschied zwischen den SnAgCu-Bumps und den Kupfersäulen 34%. Die Abbildung 4.4.4.2.3 zeigt links die Rissbildung bei den Kupfersäulen und rechts bei den SnAgCu-Bumps.

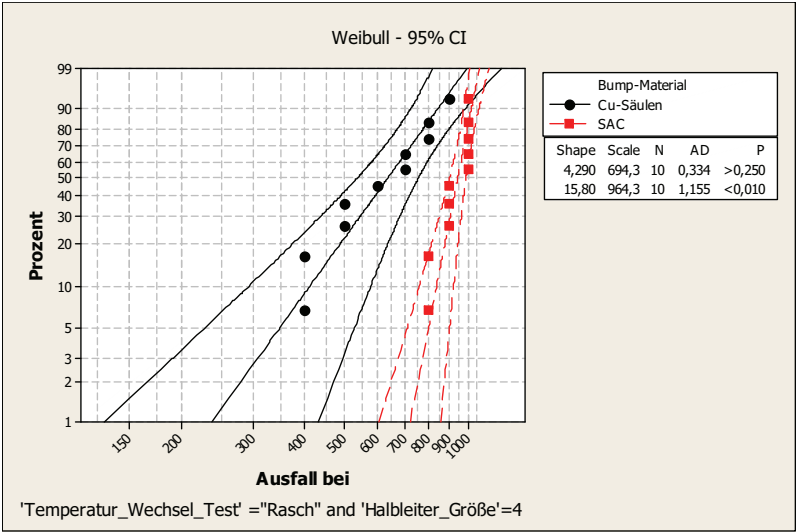


Abbildung 4.4.4.2.1: Weibull-Plot für 4mm Halbleiter-Kantenlänge in Abhängigkeit des Bump-Materials

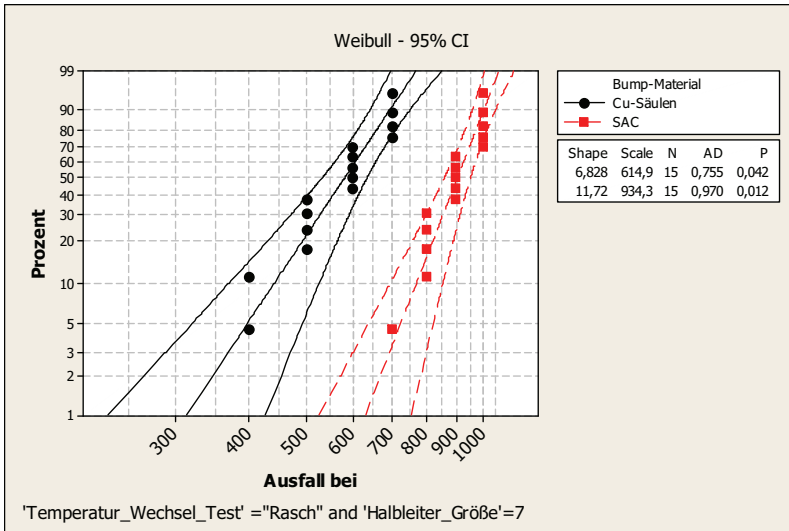


Abbildung 4.4.4.2.2: Weibull-Plot für 7mm Halbleiter-Kantenlänge in Abhängigkeit des Bump-Materials

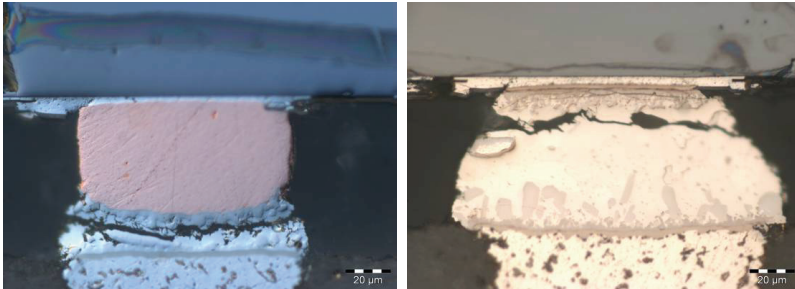


Abbildung 4.4.4.2.3: Beschädigungen nach 1000 Zyklen ohne Underfill. Links: Kupfersäule mit SnAg-Kappe, rechts: SnAgCu-Bumps

4.4.5 Vergleich von raschen und langsamen Temperaturwechseln

Bei einem Vergleich zwischen den raschen und den langsamen Temperaturwechseltests wird, wie in Abbildung 4.4.5.1 dargestellt, ein deutlicher Unterschied ersichtlich. Die Proben, die den langsamen Temperaturwechseltests ausgesetzt waren, fallen im Mittel deutlich früher aus (ca. 26%).

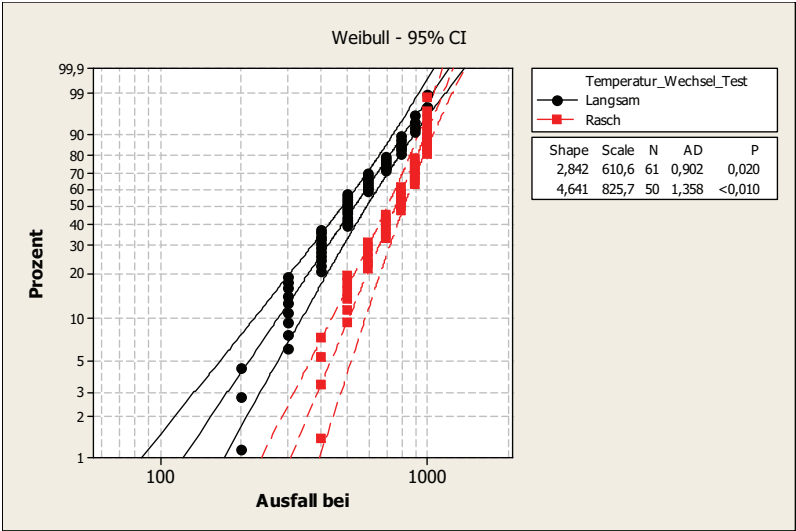


Abbildung 4.4.5.1: Weibull-Plot in Abhängigkeit der Testbedingungen für einen der Proben typ

4.4.6 EDX-Untersuchungen am SnAgCu-Bump

In den Querschliffen der SnAgCu-Bumps sind vermehrt Risse in der Umgebung der intermetallischen Phasen zu verzeichnen (siehe Abbildung 4.4.6.1). Deshalb wurde eine genauere Untersuchung dieser Objekte durchgeführt. Mittels eines EDX-Spektrums (Energy Dispersive X-ray) kann untersucht werden, um welche Materialzusammensetzung es sich handelt. Die Abbildung 4.4.6.2 zeigt das Rückstreu-Elektronenbild eines Querschliffs nach 20 Sekunden Ätzzeit mit 10% HCl + 90% C₂H₅OH. In diesem Zustand wurde ein EDX-Spektrum aufgenommen, um die Zusammensetzung der Plättchen zu ermitteln. Das Spektrum zeigt 73% Silber und 26,5% Zinn. Dies deutet auf eine intermetallische Phase mit Ag₃Sn hin (siehe Abbildung 4.4.6.3). Diese Phasen haben grundsätzlich unterschiedliche mechanische Eigenschaften, verglichen mit zinnreichen Phasen im Kristallgemenge. Diese unterschiedlichen Eigenschaften führen zu einer Verringerung der Festigkeit des Gesamtgefüges. Mit zunehmender Größe der Plättchen verringert sich die Festigkeit der Verbindung. In Abbildung 4.4.6.4 ist ein sehr großes Ag₃Sn-Plättchen in einer ungünstigen Ausrichtung zu sehen. Das EDX-Spektrum in Abbildung 4.4.6.5 zeigt die Vorkommen der Ag₃Sn-Plättchen. Um die teilweise großen Ag₃Sn-Plättchen besser sichtbar zu machen, wurde ein Schliff 10 Stunden lang geätzt. Dieser Querschliff ist in der Abbildung 4.4.6.6 zu sehen [RAH_1993] [KAN_2004] [DUN_2004] [JEO_2002] [LAI_2006] [WIK_2008] [HWA_2004]. Die Kristalle, die z.B. an dem Halbleiter oberhalb des UBM haften, sind Rückstände der Ätzflüssigkeit, die nach der sanften Spülung mit entionisierten Wasser, nicht beseitigt werden konnten. Auf eine exzessivere Reinigung wurde verzichtet, um die Proben nicht zu beschädigen.

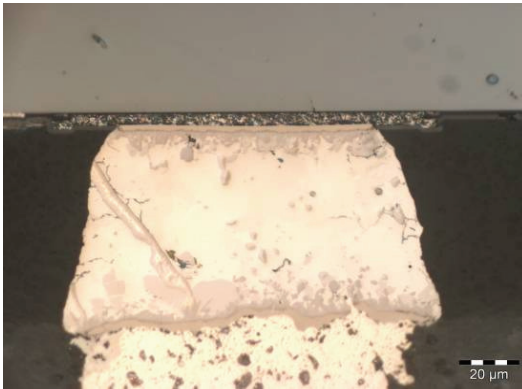


Abbildung 4.4.6.1: Risse entlang des Spitzen-Objekts in der linken oberen Ecke des Bumps

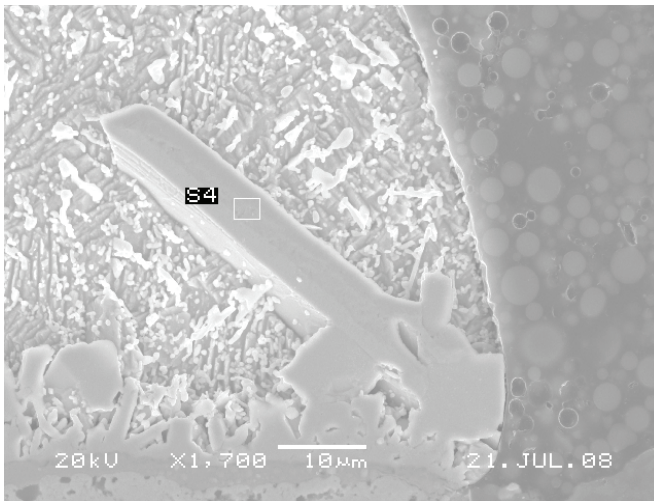


Abbildung 4.4.6.2: Rückstreu-Elektronenbild eines Querschliffs nach 20 Sekunden Ätzzeit mit 10% HCl + 90% C₂H₅OH

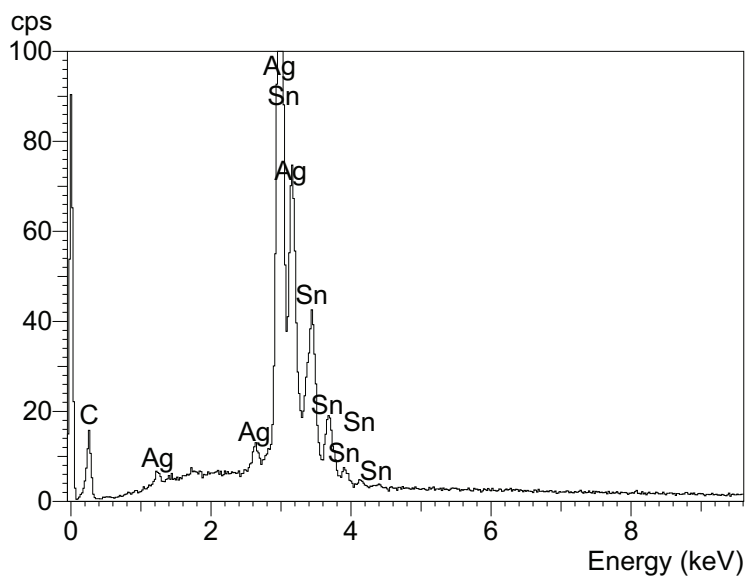


Abbildung 4.4.6.3: EDX-Spektrum des Plätzchens

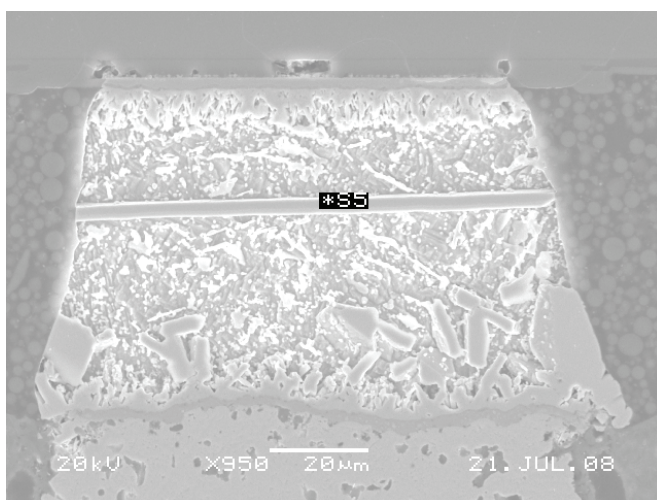


Abbildung 4.4.6.4: Rückstreu-Elektronenbild eines Querschliffs nach 20 Sekunden Ätzzzeit mit 10% HCl + 90% C₂H₅OH

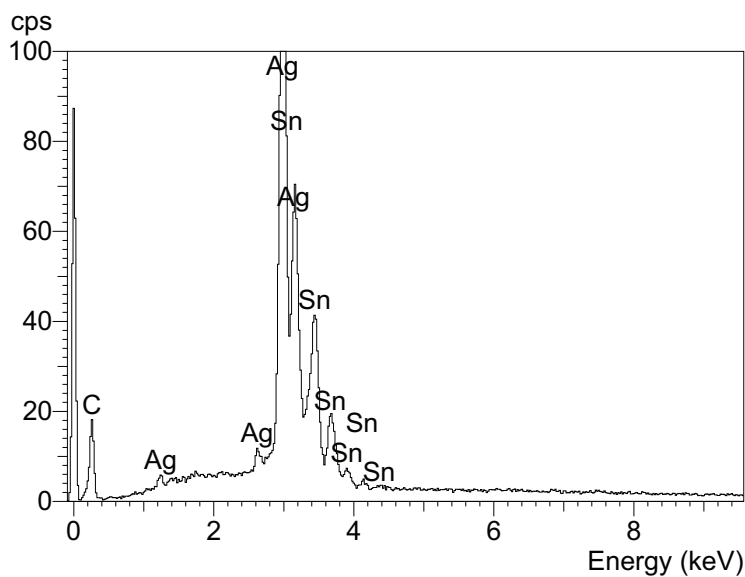


Abbildung 4.4.6.5: EDX-Spektrum des Plättchens aus Abbildung 4.4.6.4.

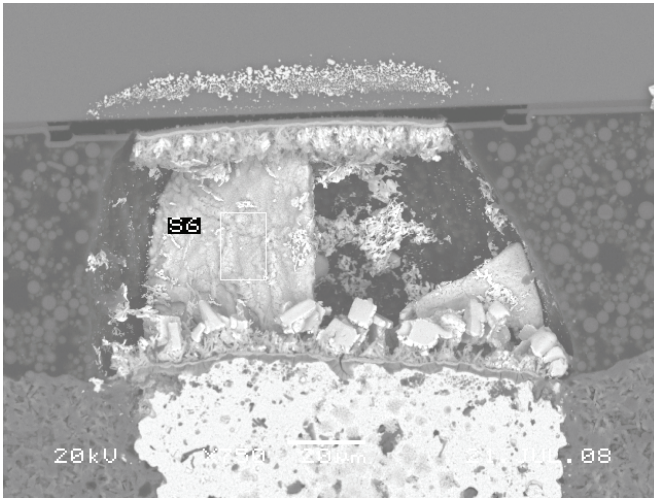


Abbildung 4.4.6.6: Rückstreu-Elektronenbild nach 10h Ätzen mit 10% HCl + 90% C₂H₅OH

4.5 Zusammenfassung

Aus den Ergebnissen der Untersuchungen zum raschen und langsamen Temperaturwechsel lässt sich schlussfolgern, dass der langsame Test früher zum Ausfall führt. Dies lässt sich durch das stärkere Wachstum der intermetallischen Phasen bei längerer Verweildauer unter thermomechanischem Stress erklären. Das Bump-Material hat eine entscheidende Rolle für die Lebensdauer der Flip-Chip-Verbindung. Die Kupfer-Säulen mit einer SnAg-Kappe fallen deutlich früher aus als die SnAgCu-Bumps. Die relative Lebensdauer ist in der Tabelle 4.5.1 zusammengefasst. Der Ausfallzeitpunkt lässt sich aber mit der Benutzung eines Underfillers deutlich nach hinten verschieben, sodass alle getesteten Module mit einem Underfill, egal welches Bump-Material und Underfiller eingesetzt wurde, die Kundenanforderungen von 1000 Zyklen bestanden haben.

Halbleitergröße	Bump-Material	Testmethode	Lebensdauer
4mm x 4mm	SnAgCu	Rascher Temperaturwechsel	100%
4mm x 4mm	SnAgCu	Langsamer Temperaturwechsel	90%
4mm x 4mm	Kupfersäule mit SnAg-Kappe	Rascher Temperaturwechsel	72%
4mm x 4mm	Kupfersäule mit SnAg-Kappe	Langsamer Temperaturwechsel	47%
7mm x 7mm	SnAgCu	Rascher Temperaturwechsel	97%
7mm x 7mm	SnAgCu	Langsamer Temperaturwechsel	70%
7mm x 7mm	Kupfer-Säule mit SnAg-Kappe	Rascher Temperaturwechsel	64%
7mm x 7mm	Kupfer-Säule mit SnAg-Kappe	Langsamer Temperaturwechsel	40%

Tabelle: 4.5.1: Relative Lebensdauer in Abhängigkeit von Testmethode, Halbleitergröße und Bumpmaterial.

5. Zusammenfassung und Ausblick

Die Kombination von SiP, LTCC und Flip-Chip bietet für zukünftige Anwendungen großes Potential hinsichtlich der Miniaturisierung und Kosteneffektivität. Für die Anforderungen des thermischen Managements für mittlere Leistungsflächenbelegungen bis $0,3\text{W}/\text{mm}^2$ können im Allgemeinen die traditionellen Methoden wie thermische Vias und Wärmespreizer angewendet werden. Steigt die thermische Flächenbelegung, so müssen entweder aufwendigere und damit teurere Lösungen oder neue Materialien eingesetzt werden. Beide Möglichkeiten bedürfen weiterer Entwicklungen.

Um eine Verbesserung des thermischen Managements mit den traditionellen Methoden zu erreichen, müssen Materialien mit höherer Wärmeleitfähigkeit eingesetzt werden. Die thermische Situation könnte deutlich entspannt werden, wenn es LTCC- und Underfill-Materialien auf dem Markt gäbe, die eine Wärmeleitfähigkeit von mindestens $20\text{W}/\text{mK}$ beziehungsweise $5\text{W}/\text{mK}$ haben. Damit könnte weitestgehend auf die aufwendigeren Lösungen verzichtet werden und somit dem Preisdruck entgegensteuern. Um diese Materialien zu entwickeln und zu qualifizieren, ist eine enge Zusammenarbeit zwischen den Materialherstellern und den Benutzern notwendig.

Um die höherwertigen Lösungen für das thermische Management in Serie nutzen zu können, muss aufbauend auf dieser Arbeit der Verarbeitungsprozess optimiert werden. Dies gilt vor allem für die Materialienkombination aus LTCC-Tape und Metallisierungssystem für die drei-dimensionalen Strukturen, die für höherwertige Lösungen notwendig sind. Neben den Materialien muss vor allem der Herstellungsprozess hinsichtlich der Massenfertigungs-

tauglichkeit und Kosten optimiert werden. Einige diese Lösungen wie z.B. das FC CSSP LTCC Package, das FC Cavity Down LTCC CSSP Package oder das FC Cavity Up LTCC Heatspreader Package bieten zusätzlich zu den optimierten thermischen Eigenschaften auch eine Möglichkeit hermetische Module zu erzeugen.

Die Zuverlässigkeitsuntersuchungen an den LTCC Flip Chip Modulen, die mittels langsamer und rascher Temperaturwechselbelastungen durchgeführt wurden, zeigen, dass unter Nutzung eines Underfills keine Ausfälle bis 1000 Zyklen für den langsamen und bis 2300 Zyklen für den raschen Wechsel auftreten. Weiterhin konnten die unterschiedlichen Eigenschaften der SnAgCu-Bumps und der Kupfersäulen mit einer AgSn-Kappe hinsichtlich des Abscherverhaltens nachgewiesen werden. Die Kupfersäulen mit einer SnAg-Kappe fallen deutlich früher aus als die Bumps aus SnAgCu, sowohl bei den raschen als auch bei den langsamen Temperaturwechselbelastungen. Dies kann erklärt werden durch die, im Vergleich zu den SAC-Bumps, sehr dünne Lotschicht auf den Kupfersäulen.

Im Rahmen dieser Arbeit konnte gezeigt werden, dass ein PAid-Modul statt in Drahtbond-Technologie mittels Flip Chip aufgebaut werden kann und dadurch eine Platzersparnis von 27% erreicht werden konnte. Damit wird eine weitere Miniaturisierung von den mobilen Handgeräten ermöglicht.

Abkürzungsverzeichnis

AVT	Aufbau und Verbindungstechnologie
BGA	Ball Grid Array
C4	Controlled Collapse Chip Connection
DCB	Direct Copper Bond
COB	Chip on Board
CSSP	Chip Scale SAW Package
CTE	Coefficient of thermal expansion (Thermischer Ausdehnungskoeffizient)
EDX	Energy Dispersive X-ray
FC	Flip-Chip
FE	Finite Elemente
FR4	Flame Retardant 4
HSDPA	High Speed Downlink Packet Access
HTCC	High Temperature Cofired Ceramics
IR	Infrarot
LED	Light Emitting Diode
LF	Laser-Flash
LGA	Land Grid Array
LTCC	Low Temperature Cofired Ceramics

NTC	Negative Temperature Coefficient
PAiD	Power Amplifier with Integrated Duplexer
PCM	Phase Change Materials
REM	Raster Elektronen Mikroskop
Rx	Receiver
SAC	SnAgCu
SAW	Surface Acoustic Wave
SMT	Surface Mount Technology
SiP	System in Package
TIM	Thermal Interface Material
UBM	Under Bump Material
WLAN	Wireless Local Area Network

Formelzeichen

ΔT	Temperaturunterschied	[K]
α	Temperaturleitfähigkeit	[m ² /s]
A	Proportionalitätskonstante	
A	Fläche	[m ²]
A_D	Fläche Drahtbond Version	[mm ²]

A_F	Fläche Flip Chip Version	$[mm^2]$
a_W	charakteristische Weibull-Zahl	
b	Breite	$[m]$
c	spezifische Wärmekapazität	$[J/K/Kg]$
c_v	spezifische Wärmekapazität bei konstantem Volumen	$[J/K/Kg]$
C	Schichtdicke	$[m]$
d	dicke Lotstelle	$[m]$
E	Energie	$[J]$
E_a	Aktivierungsenergie	$[J]$
h	Höhe	$[m]$
H_s	Scherhöhe	$[μm]$
I	Stromstärke	$[A]$
I_D	Dioden Strom	$[A]$
I_H	Heizstrom	$[A]$
J	Stromdichte	$[A/m^2]$
k_1, k_2	Konstanten	
K	Konstante	
l	Ausgangslänge	$[m]$
l_f	mittlere freier Weg	$[m]$

l_s	Länge	[m]
m	Masse	[kg]
m_p	Masse Probe	[kg]
M_T	emittierte spektrale Strahlungsintensität	
N_f	Anzahl Zyklen zum Ausfall	
R_{th}	Thermische Widerstand	[K/W]
P_V	Verlustleistung	[W]
\dot{q}	Wärmefluss	[W]
Q	Wärmemenge	[J]
R_D	Degrationsrate	
R	elektrischer Widerstand	[Ohm]
t	Zeit	[s]
T	Temperatur	[°C]
T_A	Umgebungstemperatur	[°C]
T_K	absolute Temperatur	[K]
T_p	Plasmatemperatur	[K]
T_M	errechnete Halbleitertemperatur	[°C]
T_U	Umgebungstemperatur	[°C]
U_D	Diodenspannung	[V]

V	Volumen	$[m^3]$
V_s	Schergeschwindigkeit	$[\mu m/s]$
U	Spannung	$[V]$
U_H	Heizspannung	$[V]$
\vec{x}	Vektor x	
x	Ausfall-Zyklen	

Griechische Symbole

$\Delta\alpha$	Differenz der Ausdehnungskoeffizienten	$[ppm/K]$
$\Delta\varnothing$	Temperaturdifferenz	$[K]$
α	Ermüdungsexponent	
β	Steigung der Geraden	
ϵ_{pl}	plastische Deformation pro Zyklus	
v	mittlere Geschwindigkeit	$[m/s]$
λ	Wärmeleitfähigkeit	$[W/(mK)]$
λ_l	Wellenlänge	$[m]$
ϱ	Dichte	$[kg/m^3]$
σ	elektrische Leitfähigkeit	$[S/m]$
τ_{heiz}	Aufheizkonstante	$[s]$

Φ	Wärmestrom	[W]
Ω	elektrische Leitfähigkeit	[S/m]

Konstanten [STÖ_1998]

e	Elementarladung	$1,602 \cdot 10^{-19} \text{ C}$
c	Lichtgeschwindigkeit	$2,9979 \cdot 10^8 \text{ m/s}$
g	Erdanziehungskraft	$9,80665 \text{ m/s}^2$
h_p	Planksches Wirkungsquantum	$6,626 \cdot 10^{-34} \text{ Js}$
k_B	Boltzmann-Konstante	$8,6 \cdot 10^{-5} \text{ eV/K}$

Mathematische Operatoren [GÖH_1999]

Nabla
$$\nabla = \frac{\partial \varphi}{\partial x} \vec{i} + \frac{\partial \varphi}{\partial y} \vec{j} + \frac{\partial \varphi}{\partial z} \vec{k}$$

Laplace
$$\Delta = \frac{\partial^2}{\partial x^2} + \frac{\partial^2}{\partial y^2} + \frac{\partial^2}{\partial z^2}$$

grad(ϕ)
$$= \frac{\partial \phi}{\partial x} \vec{i} + \frac{\partial \phi}{\partial y} \vec{j} + \frac{\partial \phi}{\partial z} \vec{k}$$

Chemische Symbole

[STÖ_1998]

Au	Gold
Ag	Silber
Al	Aluminium
C ₂ H ₅ OH	Ethanol
Cu	Kupfer
GaAs	Galliumarsenid
HCl	Salzsäure
Ni	Nickel
Pd	Palladium
Si	Silizium
Sn	Zinn
Ti	Titan
Zn	Zink

Literaturverzeichnis

- [BAR_1999] Bargel H.-J., Schulze G.: Werkstoffkunde, Springer, 1999
- [BAR_2007] Barlow F. D., Elshabini A.: Ceramic Interconnect Technology Handbook, CRC Press, 2007
- [BEL_2005] Bell H.: Reflowlöten, Eugen G. Leuze Verlag, 2005
- [BOR_2001] Borgesen P., Blass D., Srihari K.: Flip Chip Reliability, 2001
- [BLU_2006] Blumm J.: The NETZSCH LFA Series Theory, Instruments and Software, NETZSCH-Gerätebau GmbH, 2006
- [CHI_2004] Chiriac V., Lee T.-Y. T.: Thermal Evaluation of Power Amplifier Modules and RF Packages in a Handheld Communicator System, 2004 Inter Society Conference on Thermal Phenomena, 2004
- [DEL_2004] Datenblatt Delphi PST102, 2004
- [DUN_2004] Dunford S., Canumalla S., Viswanadham P.: Intermetallic Morphology and Damage Evolution Under Thermomechanical Fatigue of Lead (Pb)-free Solder Interconnections, ECTC 2004, 2004
- [EIG_2003] Eigler H.: Die Zuverlässigkeit von Elektronik- und Mikrosystemen, Expert Verlag, 2003
- [EHR_2004] Ehrhardt W.: Einfluss von Hochspannungsimpulsen auf Schichtwiderstände und Entwicklung eines Abgleichverfahrens, 2004

- [EPC_2006] EPCOS AG: Jahres Abschlussbericht 2006, 2006
- [FLÜ_2003] Flühr H., Block C., Hoffmann C.: Patentschrift DE10340438A12005.04.14, 2003
- [GRO_2001] Groth C., Müller G.: FEM für Praktiker – Band 3: Temperaturfelder, Expert Verlag, 2001
- [GRO_2006] Grossmann G.: Zuverlässigkeit von Weichloten und Eigenschaften bleifreier Lote, 2006]
- [GÖH_1999] Göhler W.: Formelsammlung Höhere Mathematik, Verlag Harri Deutsch, 1999
- [HAR_2005] Harper C. A.: Electronics Packaging and Interconnection Handbook, 2005
- [HEY_2003] Heyen J., Jacob A.: Patentschrift DE10334171B32005.02.10, 2003
- [HER_2003] Heraeus: Preliminary Data Sheet HeraLock Tape HL2000, 2003
- [HIN_2007] Hintz M.: Druckunterstütztes Sintern als Grundlage neuer Technologievarianten für LTCC, isle, 2007
- [HIR_2008] Hirai Seimitsu Kogyo Corporation Webseite, http://www.hirai.co.jp/ceramic_e.html, 2008
- [HOF_2005] Hoffmann C., Brunner S., Noren M, Block C.: Current & Future Trends for Ceramic Interconnect Technology, CICMT, Denver 2005
- [HWA_2004] Hwang J. S.: Lead-free Implementation and Production: A Manufacturing Guide", McGraw-Hill Professional, 2004

- [IMA_2005] Imanake Y.: Multilayer Low Temperature Cofired Ceramics (LTCC) Technology, Springer, 2005
- [IMS_2001] Kulke R.: LTCC Low Temperature Cofired Ceramic An Introduction and Overview, IMST GmbH, 2001
- [IMS_2005] IMST GmbH Webseite, http://www.ltcc.de/en/whatis_pro.php, 2005
- [INF_2003] Infineon: Datenblatt G423B, 2003
- [ISO_2009] Isopp J.: IR0 Infrarotmesstechnik Grundlagen, http://www.nbn.at/cms_data/Downloads/GRU_NDLAGEN/IR_Scriptum_Messfeld_nbn_web.pdf, 2009
- [JAA_2003] Jaakol T., Kautio K., Petäjä J., Lenkkeri J.: Thermal Management of Power MMIC on LTCC Substrate, 2003
- [JEO_2002] Jeon Y., Nieland S., Ostmann A., Reichl H., Paik k.: Studies on the Interfacial Reactions between Electroless Ni UBM and 95.5Sn-4.0Ag-0.5Cu Alloy, ECTC 2002, 2002
- [JOI_2004] Joiner B. T, Montes de Oca T.: Thermal Interaction of an Array of Flip Chip Components, 20th IEEE SEMI-THERM Symposium, 2004
- [KAN_2004] Kang S. K., Shih D.-Y., Leonard D., Henderson D. W., Gosselin T., Cho S., Yu J., Choi W. K.: Controlling Ag₃Sn Plate Formation in Near-Ternary-Eutectic Sn-Ag-Cu Solder by Minor Zn Alloying, JOM, 2004

- [KES_2001] Kester: Datasheet R520A Lead-Free Water Soluble Solder Paste”, 2001
- [KIN_2001] Jones W. K., Wang P., Liu Y.: Active Thermal Management in LTCC, 2001
- [KUT_2006] Kuther T.: EPCOS COMPONENTS, September 2006
- [LAL_1997] Lall P., Pecht M. G, Hakim E. B.: Influence of Temperature on Microelectronics and System Reliability, CRC Press, 1997
- [LAI_2006] Lai Y., Chen P.C, Yeh C., Lee J. C. B.: The Effect of IMC Microstructure of Solder Joint on the Mechanical Drop Performance in SnxAgCu and SnAgCuX CSP Package, ECTC 2006, 2006
- [LAU_1995] Lau J- H.: Flip Chip Technologies, McGraw-Hill, ISBN 0-07-036609-8, 1995
- [LEE_1998] Lee T. T., Chambers B., Ramakrishna K.: <http://www.electronics-cooling.com/articles/1998/may/article3.php>, 1998
- [LID_2005] Lide D. R.: Handbook of Chemistry and Physics, CRC, 2005
- [MAR_2006] Markov K., Keiler T., Chernyakov A., Curtin C., Heide P.: Thermal Characterisation of LTCC Frontend Modules with Integrated Power Amplifiers for Wireless LAN Application, 36th European Microwave Conference, 2006

- [MÜL_1997] Müller K.: Entwurf, Herstellung und HF-Charakterisierung gedruckter passiver Bauelemente und Strukturen in LTCC, TU-Ilmenau, 1997
- [MÜL_1999] Müller G.: FEM für Praktiker, C. Groth, Expert Verlag, 1999
- [MÜL_2002] “Integrated Capacitors using LTCC“, J. Müller, D. Josip:, Microtech Conference 2002, Manchester/UK, 2002
- [NOR_2006] Noren M., Brunner S., Hoffmann C., Salz W, Block C.: Challenges and Potentials with SiP using FC on LTCC, EPTC, Singapore 2006
- [NAG_2001] Nagase :Datenblatt „T693 / R3310“, 2001
- [NAM_2006] Namics, Datenblatt „XS8449-9“, 2006
- [NAN_2006] Nanofocus: Produktdatenblatt, 2006
- [NEE_2003] Needes, C.R.; Barker, M.F.; Ollivier, P.T.; Hang, K.W.; Souders, K.E.; Wang, C.B.; Smith, M.A.: Constrained-sintered, low-temperature Co-fired ceramic for IC packaging applications, Electronic Components and Technology Conference, 2003
- [NET_2005] Netzsch Präsentation: Stationary Methods for Determination of Thermophysical properties (Thermal Conductivity, Thermal Resistance), Heat Transfer Seminar, 2005
- [NIH_2005] Nihon Handa: Datenblatt, 2005
- [NIS_2002] NIST: Datenbank von NIST mit Eigenschaften von Bleifreienlot.

- http://www.boulder.nist.gov/div853/lead_free/pr ops01.html, 2002
- [NOR_2007_1] Noren M., Brunner S., Hoffmann C., Salz W, Block C.: A DoE of Thermal Management for FC on LTCC, HDP China, Shanghai, 2007
- [NOR_2007_2] Noren M., Brunner S., Hoffmann C., Salz W, Block C.: Thermal Management for FC on LTCC, IMAPS Packaging, Scottsdale AZ, 2007
- [NOR_2008_1] Noren M., Brunner S., Hoffmann C., Salz W, Aichholzer K.: Aspects on Advanced Thermal Management for Flip Chip on LTCC, Advancing Microelectronics, 2008
- [NOR_2008_2] Noren M., Hoffmann C., Salz W, Block C.: Aspects on Advanced Thermal Management and Reliability for Flip Chip on LTCC, CICMT, München, 2008
- [NOR_2008_3] Noren M., Hoffmann C., Salz W, Block C.: Fabrication Effects on the Thermal Behavior of a Flip Chip - Low Temperature Cofired Ceramic Package, IMAPS Packaging, Scottsdale AZ, 2008
- [ONL_2008] <http://www.onlinemetals.com/copperguide.cfm>, 2008
- [OSO_2006] Osone Y.: Thermal design of power semiconductor modules for mobile communication system, THERMINIC, 2006
- [POL_2005] Polifke W., Kopitz J.: Wärmeübertragung, Pearson Studium, ISBN 3-8273-7104-X, 2005

- [PER_2008] Perrone R.: Erweiterung des Frequenzbereichs und der Integrationsdichte von LTCC-Modulen mittels Photostrukturierung und Designoptimierung, ISLE, 2008
- [PET_1994] Petzows G.: Metallographisches, Keramographisches und Plastographisches Ätzen, Begründer Borntraeger, 1994
- [PHI_2005] Philips: Datasheet BZT52H series, 2005
- [PRI_2007] Prismark: THE PRISMARK WIRELESS TECHNOLOGY REPORT, , April 2007
- [QDT_2008] <http://www.qdt-waermerohrtauscher.com/wr/wrfkt.html>, 2008
- [RAH_1993] Rahn A.:The Basics of Soldering, 1993
- [REI_1998] Reichl H.: Direktmontage: Handbuch über die Verarbeitung ungehäuster ICs, Springer, 1998
- [REI_2001] Reitlinger C. R.: Entwicklung alternativer bleifreier Lote für die Mikroverbindungstechnik, Herbert Utz Verlag, 2001
- [RZE_2003] Rzepka S.: FEM für die Mikroelektronik , HabilitationTU-Dresden, 2003
- [SER_1998] Sergeant, J. E., Krum A.: Thermal Management Handbook for Electronic Assemblies, McGraw-Hill, 1998
- [SIL_2008] <http://www.siliconfareast.com/TCT.htm>, 2008

- [STA_1999] Using Models to Predict Semiconductor Failures, <http://www.tmworld.com/article/CA187523.html>, 1999
- [STÖ_1998] Stöcker H.: Taschenbuch der Physik, Verlag Harri Deutsch, 1998
- [TAN_2007] Tan F.L., Fok S.C.: Thermal Management of Mobile Phone using Phase Change Material, EPTC 2007, 2007
- [TEX_2005] Texas Instrument: Junction Temperature of TRF1123/TRF1223 and Recommended PCB Layout Guidelines, 2005
- [TUM_2008] Tummala R. R., Swaminathan M., Introduction to System-on-Package, McGraw-Hill, 2008
- [UAT_2007] UAT: Präsentation UAT, 2007
- [WIE_1853] Franz R.: Ueber die Wärme-Leitungsfähigkeit der Metalle“, G. Wiedemann, Annalen der Physik und Chemie 1853 No. 8
- [WIK_2008] Wikipedia: Intermetallische_Verbindung, http://de.wikipedia.org/wiki/Intermetallische_Verbindung, 2008
- [XIE_2001] Xie J., Pecht M.: Palladium-plated packages - Creep corrosion and its impact on reliability, Advanced Packaging, 2001

Anhang: Materialanalyse

MKE100	Temperatur [°C]	Temperatur- leitfähigkeit TLF [mm²/s]	Wärme- leitfähigkeit WLF [W/m/K]	spez. Wärme- kapazität cp [J/g/K]
Mittelwert	25,08	1,48	3,45	0,75
	75	1,37	3,34	0,78
	125,03	1,27	3,34	0,84
	175	1,19	3,34	0,9
	224,98	1,13	3,3	0,94
Stabw	0,171	0,009	0,173	0,123
	0,082	0,011	0,197	0,044
	0,096	0,01	0,142	0,032
	0,082	0,012	0,147	0,034
	0,05	0,01	0,15	0,039

6418	Temperatur [°C]	Temperatur- leitfähigkeit TLF [mm²/s]	Wärme- leitfähigkeit WLF [W/m/K]	spez. Wärme- kapazität cp [J/g/K]
Mittelwert	25,03	94,03	199,78	0,26
	75	95,23	200	0,26
	125,03	96,26	202,27	0,26
	175,03	96,54	204,84	0,26
	225	96,68	208,36	0,27
Stabw	0,126	10,654	13,96	0,005
	0,082	10,649	13,406	0,004
	0,05	10,558	14,209	0,005
	0,05	10,545	14,962	0,006
	0	10,652	16,638	0,008

Tabelle1, Teil 1: Ergebnisse der Laserflash Analyse

6518	Temperatur [°C]	Temperatur- leitfähigkeit TLF [mm²/s]	Wärme- leitfähigkeit WLF [W/m/K]	spez. Wärme- kapazität cp [J/g/K]
Mittelwert	25,08	125,72	271,42	0,26
	75	122,98	257,18	0,25
	125,03	120,47	255,03	0,26
	175	118,3	253,85	0,26
	225	116,19	247,49	0,26
Stabw	0,15	16,06	27,443	0,009
	0	15,559	20,494	0,014
	0,05	14,708	17,193	0,016
	0	14,21	17,614	0,015
	0	13,607	17,083	0,02

6915 - Aussen	Temperatur [°C]	Temperatur- leitfähigkeit TLF [mm²/s]	Wärme- leitfähigkeit WLF [W/m/K]	spez. Wärme- kapazität cp [J/g/K]
Mittelwert	25,05	114,41	208,58	0,26
	75,03	114,49	207,31	0,26
	125,03	114,13	210,48	0,26
	175,03	113,71	211,97	0,26
	224,98	113,13	213,98	0,27
Stabw	0,1	10,534	18,229	0,008
	0,05	10,166	16,506	0,007
	0,126	10,504	17,454	0,007
	0,126	10,232	19,398	0,009
	0,05	10,461	19,295	0,009

Tabelle1, Teil 2: Ergebnisse der Laserflash Analyse

7740 - Aussen	Temperatur [°C]	Temperatur- leitfähigkeit TLF [mm²/s]	Wärme- leitfähigkeit WLF [W/m/K]	spez. Wärme- kapazität cp [J/g/K]
Mittelwert	25,03	123,94	261,58	0,25
	75	121,05	253,43	0,25
	125	118,79	251,09	0,25
	175	116,27	250,49	0,26
	225	113,91	249,92	0,26
Stabw	0,05	11,271	18,33	0,013
	0	12,018	19,401	0,009
	0	12,169	19,797	0,008
	0	12,365	11,664	0,008
	0	12,587	12,688	0,009

Tabelle1, Teil 3: Ergebnisse der Laserflash Analyse

